

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-196037

(43)Date of publication of application : 14.07.2000

(51)Int.Cl. H01L 27/108
H01L 21/8242
H01L 27/04
H01L 21/822

(21)Application number : 10-369017

(71)Applicant : HITACHI LTD

(22)Date of filing : 25.12.1998

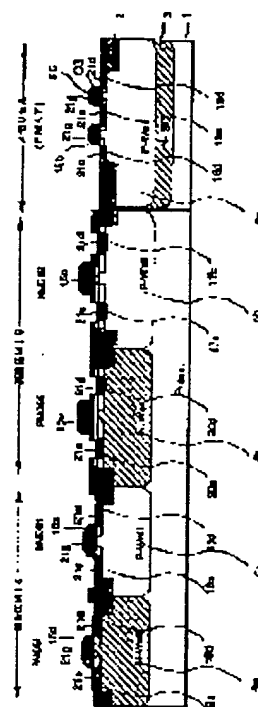
(72)Inventor : TANIGUCHI YASUHIRO
YADORI SHOJI
KURODA KENICHI
IKEDA SHUJI
HASHIMOTO KOJI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To enable two different MISFETs, one is capable of operating at a high speed and the other is capable of operating on a high voltage, to be built in a semiconductor integrated circuit device, by a method wherein a MISFET formed of a metal.semiconductor reaction layer aligned with the end of a first insulating film is provided on the primary surface of a second region, and a MISFET formed of a metal.semiconductor reaction layer aligned with the end of a second insulating film is provided on the primary surface of a fourth region.

SOLUTION: High-concentration regions 19a, 19d and 16s, 16d as the source.drain regions of a MISFET of low breakdown voltage and metal.semiconductor reaction layer 21s and 21d are each aligned with the edges of first insulating films 15d and 15a formed by anisotropic etching on the side walls of gate electrodes 9a and 9b. High-concentration regions 20a, 20d and 17s, 17d as the source.drain regions of a MISFET of high withstand voltage and metal.semiconductor reaction layer 21s and 21d are each aligned with the edges of second insulating films 15e and 15c formed by a mask pattern. The second insulating films 15e and 15c are formed so as to be possessed of a pattern W2 larger than a first insulting film p pattern W1 in the direction of a gate length L.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

特開 2000-196037

(P 2000-196037 A)

(43) 公開日 平成12年7月14日 (2000. 7. 14)

(51) Int. Cl. 7	識別記号	F I	テマコード (参考)
H 0 1 L	27/108	H 0 1 L	27/10 6 2 1 C 5F038
	21/8242		27/04 V 5F083
	27/04		
	21/822		

審査請求 未請求 請求項の数 4 9

O L

(全 4 2 頁)

(21) 出願番号 特願平10-369017

(22) 出願日 平成10年12月25日 (1998. 12. 25)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 谷口 泰弘

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業本部内

(72) 発明者 宿利 章二

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業本部内

(74) 代理人 100068504

弁理士 小川 勝男

最終頁に続く

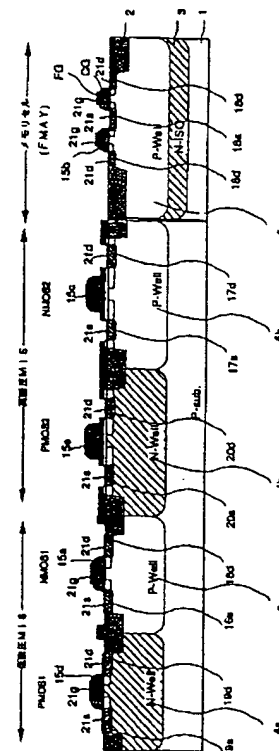
(54) 【発明の名称】 半導体集積回路装置及びその製造方法

(57) 【要約】

【課題】 高速動作が可能なLDD型MISFETと、かつ高電圧駆動が可能なLDD型MISFETとを内蔵する半導体集積回路装置を低コストで実現する。

【解決手段】 高速動作が可能なMISFETは、ゲートサイドウォール層に自己整合された高濃度領域に金属シリサイド層を有し、高電圧駆動が可能なMISFETは、上記ゲートサイドウォール層の幅よりも大きい幅を有するLDD部を有し、そのLDD部に接して高濃度領域を有し、そしてその高濃度領域に金属シリサイド層を有する。

図 1



【特許請求の範囲】

【請求項 1】一つの半導体本体に互いに区画された第 1 半導体主面と第 2 半導体主面とを有し、前記第 1 半導体主面に絶縁膜を介して設けられた第 1 ゲート電極と、前記第 1 ゲート電極に整合され、前記第 1 半導体主面の導電型とは反対の導電型を示す第 1 領域と、前記第 1 領域上であって、前記第 1 ゲート電極の側壁に設けられた第 1 の絶縁膜と、前記第 1 の絶縁膜によって整合され、前記第 1 領域と同一導電型を示し、その第 1 領域に接する第 2 領域と、前記第 2 領域主面に前記第 1 の絶縁膜によって整合された金属・半導体反応層とから成る第 1 MISFET と、前記第 2 半導体主面に絶縁膜を介して設けられた第 2 ゲート電極と、前記第 2 ゲート電極に整合され、前記第 2 半導体主面の導電型とは反対の導電型を示す第 3 領域と、前記第 3 領域上であって、前記第 2 ゲート電極の側壁に設けられた前記第 1 の絶縁膜に対してゲート長方向の幅が異なる第 2 の絶縁膜と、前記第 2 の絶縁膜によって整合され、前記第 3 領域と同一導電型を示し、その第 3 領域に接する第 4 領域と、前記第 4 領域主面に前記第 2 の絶縁膜によって整合された金属・半導体反応層とから成る第 2 MISFET とを有することを特徴とする半導体集積回路装置。

【請求項 2】請求項 1 において、前記 1、第 2 MISFET それぞれの金属・半導体反応層はコバルトシリサイドよりなることを特徴とする半導体集積回路装置。

【請求項 3】請求項 1 において、前記第 1、第 2 ゲート電極は半導体から成り、前記第 1、第 2 ゲート電極のそれぞれの表面に金属・半導体反応層が形成されていることを特徴とする半導体集積回路装置。

【請求項 4】請求項 3 において、前記半導体は多結晶シリコンから成り、前記金属・半導体反応層はコバルトシリサイドよりなることを特徴とする半導体集積回路装置。

【請求項 5】半導体本体に互いに区画された第 1 ウエルと第 2 ウエルとを有し、前記第 1 ウエル主面に絶縁膜を介して設けられた第 1 ゲート電極と、前記第 1 ゲート電極に整合され、前記第 1 ウエル主面内に前記ウエルの導電型とは反対の導電型を示す第 1 領域と、前記第 1 領域上であって、前記第 1 ゲート電極の側壁に設けられた第 1 の絶縁膜と、前記第 1 の絶縁膜によって整合され、前記第 1 領域と同一導電型を示し、その第 1 領域に接する第 2 領域と、前記第 2 領域主面に前記第 1 の絶縁膜によって整合された金属・半導体反応層とから成る第 1 MISFET と、前記第 2 ウエル主面に絶縁膜を介して設けられた第 2 ゲート電極と、前記第 2 ゲート電極に整合され、前記第 2 ウエル主面内に前記第 2 ウエルの導電型とは反対の導電型を示す第 3 領域と、前記第 3 領域上であって、前記第 2 ゲート電極の側壁に設けられた前記第 1 の絶縁膜に対してゲート長方向の幅が異なる第 2 の絶縁膜と、前記第

2 の絶縁膜によって整合され、前記第 3 領域と同一導電型を示し、その第 3 領域に接する第 4 領域と、前記第 4 領域主面に前記第 2 の絶縁膜によって整合された金属・半導体反応層とから成る第 2 MISFET とを有することを特徴とする半導体集積回路装置。

【請求項 6】請求項 5 において、前記第 2 の絶縁膜の幅が前記第 1 の絶縁膜の幅よりも大なることを特徴とする半導体集積回路装置。

【請求項 7】請求項 5 において、前記 1、第 2 MISFET それぞれの金属・半導体反応層はコバルトシリサイドよりなることを特徴とする半導体集積回路装置。

【請求項 8】請求項 5 において、前記第 1、第 2 ゲート電極は半導体から成り、前記第 1、第 2 ゲート電極のそれぞれの表面に金属・半導体反応層が形成されていることを特徴とする半導体集積回路装置。

【請求項 9】請求項 5 において、前記半導体は多結晶シリコンから成り、前記金属・半導体反応層はコバルトシリサイドよりなることを特徴とする半導体集積回路装置。

【請求項 10】互いに絶縁分離層により区画された第 1 半導体と第 2 半導体を有し、前記第 1 半導体上にゲート絶縁膜を介して設けられた第 1 ゲート電極と、前記第 1 ゲート電極および前記絶縁分離層に整合され、前記第 1 半導体の導電型とは反対の導電型を示す第 1 不純物濃度の第 1 領域と、前記第 1 領域上であって、前記第 1 ゲート電極の側壁に選択形成された第 1 の絶縁膜と、前記第 1 の絶縁膜および前記絶縁分離層に整合され、前記第 1 領域と同一導電型で、かつ前記第 1 不純物濃度と比較して高濃度を示し、その第 1 領域に接する第 2 領域と、前記第 2 領域主面に前記第 1 の絶縁膜によって整合された金属・半導体反応層とから成る第 1 MISFET と、前記第 2 半導体上にゲート絶縁膜を介して設けられた第 2 ゲート電極と、前記第 2 ゲート電極および絶縁分離層に整合され、前記第 2 半導体の導電型とは反対の導電型を示す第 3 不純物濃度の第 3 領域と、前記第 3 領域上であって、前記第 2 ゲート電極の側壁および前記絶縁分離層より張り出して選択形成された第 2 の絶縁膜と、前記第 2 の絶縁膜および前記絶縁分離層によって整合され、前記第 3 領域と同一導電型で、かつ前記第 3 不純物濃度と比較して高濃度を示し、その第 3 領域に接する第 4 領域と、前記第 4 領域主面に前記第 2 の絶縁膜によって整合された金属・半導体反応層とから成る第 2 MISFET とを有し、前記第 2 ゲート電極端からの前記第 2 の絶縁膜のパターン幅は前記第 1 ゲート電極端からの前記第 1 の絶縁膜のパターン幅よりも大きい設定されていることを特徴とする半導体集積回路装置。

【請求項 11】請求項 10 において、前記第 1、第 2 半導体は、それぞれ単結晶シリコン本体に設けられ、前記第 1、第 3 ゲート電極はそれぞれ多結晶シリコンとその表面に形成された金属シリサイド層とから成り、前記第

1、第2MISFETの金属・半導体反応層は金属シリサイドより成ることを特徴とする半導体集積回路装置。

【請求項12】請求項11において、前記金属シリサイドは、コバルトシリサイドであることを特徴とする半導体集積回路装置。

【請求項13】請求項10において、前記絶縁分離層は、半導体本体に設けられた溝およびその溝内に埋め込まれた絶縁層から成ることを特徴とする半導体集積回路装置。

【請求項14】請求項13において、前記第1、第2半導体は、それぞれ前記半導体本体に選択形成された第1、第2ウェル領域であり、前記絶縁分離層は前記第1、第2ウェル領域の深さよりも浅く形成されていることを特徴とする半導体集積回路装置。

【請求項15】請求項10において、前記第2MISFETのゲート絶縁膜は前記第1MISFETのゲート絶縁膜よりも厚いことを特徴とする半導体集積回路装置。

【請求項16】第1半導体主面に第1ゲート絶縁膜を介して第1ゲート電極を、第2半導体主面に第2ゲート絶縁膜を介して第2ゲート電極を、それぞれパターン形成する工程と、

前記第1ゲート電極でマスクされていない前記第1半導体主面に、前記第1半導体の導電型とは反対の導電型を示す不純物を導入し、第1の不純物濃度を有する第1領域を形成する工程と、

前記第2ゲート電極でマスクされていない前記第2半導体主面に、前記第1半導体の第1導電型とは反対の第2導電型を示す不純物を導入し、第3の不純物濃度を有する第3領域を形成する工程と、

前記第1ゲート電極が形成された第1半導体主面および前記第2ゲート電極が形成された第2半導体主面にそれぞれ絶縁膜を形成する工程と、

前記第1半導体主面上の絶縁膜を異方性エッチングを行うことにより前記第1ゲート電極の側壁に第1の絶縁膜を残す工程と、

前記第2半導体主面上の絶縁膜にパターンマスクを設け、そのマスクにより前記絶縁膜をパターンエッチングすることにより前記第2ゲート電極の側壁に第2の絶縁膜を残す工程と、

前記第1の絶縁膜でマスクされていない第1半導体主面に第2導電型を示す不純物を導入し、前記第1不純物濃度よりも高い第2不純物濃度を有する第2領域を形成し、前記第2の絶縁膜でマスクされていない第2半導体主面に第2導電型を示す不純物を導入し、前記第3不純物濃度よりも高い第4不純物濃度を有する第4領域を形成する工程と、

前記第2領域表面に前記第1の絶縁膜で整合された金属・半導体反応層を、前記第4領域表面に前記第2の絶縁膜で整合された金属・半導体反応層をそれぞれ形成する工程と、より成ることを特徴とする半導体集積回路装置

の製造方法。

【請求項17】請求項16において、前記第2、第4領域を形成した後、前記第2、第4領域表面に金属膜を堆積し、その金属膜を熱処理することにより前記第2、第4領域表面それぞれに前記金属・半導体反応層を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項18】請求項17において、前記金属膜はコバルトであり、その金属膜の熱処理によって形成された前記金属・半導体反応層はコバルトシリサイドであることを特徴とする半導体集積回路装置の製造方法。

【請求項19】請求項16において、前記第1、第2ゲート電極は多結晶半導体より成り、その第1、第2ゲート電極表面に前記金属層が堆積され、前記金属・半導体層形成工程で前記第1、第2ゲート電極表面にそれぞれ金属・半導体反応層を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項20】請求項19において、前記金属・半導体反応層はコバルトシリサイドであることを特徴とする半導体集積回路装置の製造方法。

【請求項21】基板本体に第1半導体領域と第2半導体領域とを有し、前記第1半導体領域主面に第1の膜厚を有するゲート絶縁膜を介して設けられた第1ゲート電極と、前記第1ゲート電極に整合され、前記第1半導体領域内に前記第1半導体領域の導電型とは反対の導電型を示す第1不純物濃度の第1領域と、前記第1領域上であって、前記第1ゲート電極の側壁に第1側壁幅を有して選択形成された第1側壁幅を有する第1の絶縁膜と、前記第1の絶縁膜に整合され、前記第1領域と同一導電型で、かつ前記第1不純物濃度と比較して高濃度を示し、一部がその第1領域にオーバーラップする第2領域と、前記第2領域主面に前記第1の絶縁膜によって整合された金属・半導体反応層とから成る第1MISFETと、前記第2半導体領域主面に前記第1の膜厚よりも厚い第2の膜厚を有するゲート絶縁膜を介して設けられた第2ゲート電極と、前記第2ゲート電極に整合され、前記第2半導体領域内に前記第1半導体領域の導電型とは反対の導電型を示す第3不純物濃度の第3領域と、前記第3領域上であって、前記第2ゲート電極の側壁に選択形成された、前記第1側壁幅よりも大きい第2側壁幅を有する第2の絶縁膜と、前記第2の絶縁膜によって整合され、前記第3領域と同一導電型で、かつ前記第3不純物濃度と比較して高濃度を示し、その第3領域にオーバーラップする第4領域と、前記第4領域主面に前記第2の絶縁膜によって整合された金属・半導体反応層とから成る第2MISFETとを有することを特徴とする半導体集積回路装置。

【請求項22】請求項21において、前記第1、第2MISFETそれぞれの金属・半導体反応層はコバルトシリサイドよりなることを特徴とする半導体集積回路装置。

【請求項23】請求項21において、前記第1、第2ゲ

ート電極は半導体から成り、前記第1、第2ゲート電極のそれぞれの表面に金属・半導体反応層が形成されていることを特徴とする半導体集積回路装置。

【請求項24】請求項23において、前記半導体は多結晶シリコンから成り、前記金属・半導体反応層はコバルトシリサイドよりなることを特徴とする半導体集積回路装置。

【請求項25】半導体主面に互いに区画された第1半導体領域と第2半導体領域と、前記第1半導体領域内に形成された低濃度領域および高濃度領域で構成されたLDD構造のソース・ドレイン領域を有する第1MISFETと、前記第2半導体領域に形成された低濃度領域および高濃度領域で構成されたLDD構造のソース・ドレイン領域を有する第2MISFETとから成る半導体集積回路装置であって、前記第2MISFETにおける低濃度領域のオフセット長が前記第1MISFETにおける低濃度領域のオフセット長よりも大きく、前記第1、第2MISFETのそれぞれの高濃度領域表面に金属・半導体反応層が形成されていることを特徴とする半導体集積回路装置。

【請求項26】請求項25において、前記金属・半導体反応層はコバルトシリサイドよりなることを特徴とする半導体集積回路装置。

【請求項27】第1半導体主面に第1ゲート絶縁膜を介して第1ゲート電極を、第2半導体主面に第2ゲート絶縁膜を介して第2ゲート電極を、それぞれパターン形成する工程と、

前記第1ゲート電極でマスクされていない前記第1半導体主面に、前記第1半導体の導電型とは反対の導電型を示すための不純物を導入し、前記第1ゲート電極で整合された第1の不純物濃度を有する第1領域を形成する工程と、

前記第2ゲート電極でマスクされていない前記第2半導体主面に、前記第1半導体の第1導電型とは反対の第2導電型を示すための不純物を導入し、前記第2ゲート電極で整合された第3の不純物濃度を有する第3領域を形成する工程と、

前記第1ゲート電極が形成された第1半導体主面および前記第2ゲート電極が形成された第2半導体主面にそれぞれ絶縁膜を形成する工程と、

前記第1半導体主面上の絶縁膜を異方性エッチングを行うことにより前記第1ゲート電極の側壁に第1の絶縁膜を残す工程と、

前記第2半導体主面上の絶縁膜に前記第2ゲート電極の加工寸法よりも大きなパターンマスクを設け、そのパターンマスクに規定されるように前記絶縁膜をパターンエッチングし、前記第2ゲート電極の側壁に前記第1の絶縁膜の側壁幅よりも大なる側壁幅を有する第2の絶縁膜を残す工程と、

前記第1の絶縁膜でマスクされていない第1半導体主面

に第2導電型を示すための不純物を導入し、前記第1不純物濃度よりも高い第2不純物濃度を有し、前記第1の絶縁膜に整合された第2領域を形成する工程と、

前記第2の絶縁膜でマスクされていない第2半導体主面に第2導電型を示すための不純物を導入し、前記第3不純物濃度よりも高い第4不純物濃度を有し、前記第2の絶縁膜に整合された第4領域を形成する工程と、

前記第2領域表面に前記第1の絶縁膜で整合された金属・半導体層を、前記第4領域表面に前記第2の絶縁膜で整合された金属・半導体反応層をそれぞれ形成する工程と、より成ることを特徴とする半導体集積回路装置の製造方法。

【請求項28】請求項27において、前記第2ゲート絶縁膜を前記第1ゲート絶縁膜の膜厚よりも厚く形成することを特徴とする半導体集積回路装置の製造方法。

【請求項29】請求項27において、前記第2、第4領域を形成した後、前記第2、第4領域表面に金属膜を堆積し、その金属膜を熱処理することにより前記第2、第4領域表面それぞれに前記金属・半導体反応層を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項30】請求項29において、前記金属膜はコバルトであり、その金属膜と前記第2領域および第4領域表面を熱処理により反応させ、しかる後、未反応の金属膜を除去することによりコバルトシリサイドから成る前記金属・半導体反応層を選択的に形成することを特徴とする半導体集積回路装置の製造方法。

【請求項31】請求項27において、前記第1、第2ゲート電極は多結晶半導体により形成し、その第1、第2ゲート電極表面に前記金属層を堆積させ、前記金属・半導体層形成工程で前記第1、第2ゲート電極表面露出部にそれぞれ金属・半導体反応層を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項32】請求項31において、前記第1、第2ゲート電極表面の金属・半導体反応層として、コバルトシリサイドが形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項33】一つの半導体本体に互いに区画された第1導電型の第1ウェルと前記第1導電型とは反対の導電型を示す第2導電型の第2ウェルとを有し、前記第1ウェル主面に絶縁膜を介して設けられた第1ゲート電極と、前記第1ウェル内に形成された第2導電型の第1領域と、前記第1領域上であって、前記第1ゲート電極の側壁に設けられた第1の絶縁膜と、前記第1の絶縁膜によって整合され、その第1領域に接する第2導電型の第2領域と、前記第2領域主面に前記第1の絶縁膜によって整合された金属・半導体反応層とから成る第2導電型チャネルの第1MISFETと、前記第2ウェル主面に絶縁膜を介して設けられた第2ゲート電極と、前記第2ウェル内に第1導電型の第3領域と、前記第3領域上であって、前記第2ゲート電極の側壁に設けられた第2の

絶縁膜と、前記第2の絶縁膜によって整合され、前記第3領域に接する第1導電型の第4領域と、前記第4領域主面に前記第2の絶縁膜によって整合された金属・半導体反応層とから成る第1導電型チャネルの第2MISFETとを有することを特徴とするCMIS半導体集積回路装置。

【請求項34】請求項33において、前記第1導電型はn型を示し、前記第2導電型はp型を示すことを特徴とするCMIS半導体集積回路装置。

【請求項35】請求項33において、前記第1、第2ゲート電極はそれぞれ多結晶半導体層から成り、前記第1ゲート電極には第2導電型の不純物を含み、前記第2ゲート電極には第1導電型の不純物を含むことを特徴とするCMIS半導体集積回路装置。

【請求項36】請求項34において、前記第1、第2ゲート電極のそれぞれの表面に金属・半導体反応層が形成されていることを特徴とするCMIS半導体集積回路装置。

【請求項37】請求項35において、前記第1、第2ゲート電極のそれぞれは多結晶シリコンから成り、前記金属・半導体反応層はコバルトシリサイドよりなることを特徴とするCMIS半導体集積回路装置。

【請求項38】一つのMISFETと蓄積容量素子とで構成されたDRAMセルと、CMISFETで構成された論理回路とは一つの半導体本体に形成されて成る半導体集積回路装置であって、前記一つのMISFETのゲート電極はポリサイド層で構成され、前記CMISFETの半導体領域の表面はシリサイド層を有することを特徴とする半導体装置。

【請求項39】CMOS構成のフリップフロップ型SRAMセルを内蔵する半導体集積回路装置であって、SRAMセルは一对の負荷PMOS、一对の駆動NMOSおよび一对の転送NMOSとで構成され、上記PMOS、一对の駆動NMOSおよび一对の転送NMOSはシリサイド電極構造から成ることを特徴とする半導体集積回路装置。

【請求項40】請求項39において、前記一对の負荷PMOSのゲート電極は、P型不純物を含む多結晶シリコン層と、該多結晶シリコン層表面に形成された金属シリサイド層とから成り、前記一对の駆動NMOSおよび一对の転送MOSのそれぞれのゲート電極は、N型不純物を含む多結晶シリコン層と、該多結晶シリコン層表面に形成された金属シリサイド層とから成ることを特徴とする半導体集積回路装置。

【請求項41】半導体基体内に、高耐圧用の第1の絶縁ゲート電界効果型トランジスタと低耐圧用の第2の絶縁ゲート電界効果型トランジスタとが形成された半導体集積回路装置において、前記第1のトランジスタのゲート電極は、多結晶シリコン層から成り、該多結晶シリコン層表面に絶縁膜が被覆

され、

前記第1のトランジスタのソース及びドレイン領域それぞれの高濃度領域表面に金属シリサイド層が形成され、前記第2のトランジスタのゲート電極は、多結晶シリコン層から成り、該多結晶シリコン層表面に金属シリサイド層が形成され、かつ前記ゲート電極の側壁には絶縁材料からなるサイドウォール層が形成され、前記第1のトランジスタのソース及びドレイン領域それぞれの高濃度領域表面に金属シリサイド層が前記サイドウォール層により整合形成されていることを特徴とする半導体集積回路装置。

【請求項42】請求項41において、前記金属シリサイド層はコバルトシリサイドより成ることを特徴とする半導体集積回路装置。

【請求項43】請求項41において、前記サイドウォール層はシリコン酸化膜より成ることを特徴とする半導体集積回路装置。

【請求項44】半導体基体内に、高耐圧用の第1の絶縁ゲート電界効果型トランジスタと低耐圧用の第2の絶縁ゲート電界効果型トランジスタとが形成された半導体集積回路装置において、

前記第1のトランジスタのゲート電極は、多結晶シリコン層から成り、該多結晶シリコン層の上面部および側面部に絶縁膜が被覆され、前記第1のトランジスタのソース及びドレイン領域それぞれは高濃度領域と低濃度領域とから成り、前記絶縁膜には前記第1のトランジスタのソース及びドレイン領域それぞれの高濃度領域表面上に開口部が設けられ、

前記開口部内の前記高濃度領域表面に金属シリサイド層が形成され、

前記第2のトランジスタのゲート電極は、多結晶シリコン層から成り、該多結晶シリコン層表面に金属シリサイド層が形成され、かつ前記ゲート電極の側壁には絶縁材料からなるサイドウォール層が形成され、前記第1のトランジスタのソース及びドレイン領域それぞれは高濃度領域と低濃度領域とから成り、前記第1のトランジスタのソース及びドレイン領域それぞれの高濃度領域表面に金属シリサイド層が前記サイドウォール層により整合形成されていることを特徴とする半導体集積回路装置。

【請求項45】請求項44において、前記金属シリサイド層はコバルトシリサイドより成ることを特徴とする半導体集積回路装置。

【請求項46】請求項44において、前記サイドウォール層はシリコン酸化膜より成ることを特徴とする半導体集積回路装置。

【請求項47】半導体基板に第1導電型チャネルを構成する第1の絶縁ゲート電界効果型トランジスタと第2導電型チャネルを構成する第2の絶縁ゲート電界効果型トラン

ジスタとを有する半導体集積回路装置の製造方法であって、(1)前記第1のトランジスタのゲート電極に第1のサイドウォール層を形成する工程と、(2)前記第2のトランジスタのゲート電極に第2のサイドウォール層を形成する工程と、(3)前記第1のトランジスタのソースおよびドレイン領域表面に第1のサイドウォール層に整合して金属シリサイド層を形成する工程と、(4)前記第2のトランジスタのソースおよびドレイン領域表面に第2のサイドウォール層に整合して金属シリサイド層を形成する工程と、から成ることを特徴とする半導体集積回路装置。

【請求項48】請求項47において、工程(1)と工程(2)はそれぞれ別工程で行われ、工程(3)と工程(4)とは同一工程で行われることを特徴とする半導体集積回路装置の製造方法。

【請求項49】請求項47において、工程(1)と工程(2)は同一工程で行われ、工程(3)と工程(4)とは同一工程で行われることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、フラッシュメモリ(EEPROM: Electrically Erasable Programmable ROM)とCMOS論理演算回路とをワンチップ上に搭載したシステムオンチップあるいはDRAM(Dynamic Random Access Memory)とCMOS論理演算回路(Complementary Metal Oxide Semiconductor Logic circuit)とをワンチップ上に搭載したシステムオンチップに適用して有効な技術に関する。

【0002】

【従来の技術】近年、マルチメディア、情報通信などの先端技術分野においては、マイクロコンピュータ、DRAM、ASIC(Application Specific Integrated Circuit)、フラッシュメモリなどをワンチップ内に混載したシステムオンチップ構造を実現することによって、データ転送速度の高速化、省スペース(実装密度向上)、低消費電力化を図る動きが活発になっている。

【0003】例えば、市場ニーズの低消費電力化にともなってさらなる低電圧化の動きが強まっている。具体的には電源電圧が5Vから3.3Vに低減されている。この低電力化の動きにより、LSI(Large Scale Integrated Circuit)プロセス技術も0.25ミクロンプロセスの製品時代となり、その製品は2.5Vまたは1.8V動作であり、インターフェースを高電圧で受け、内部は低電圧動作とする方式が主流になってきている。

【0004】そして、デバイス構造では、微細化、高速化に対応して、高融点金属シリサイド膜を用いた低抵抗化技術が注目されている。特に、サリサイド(salicide: self-aligned silicideの略称)技術と称さ

れる低抵抗化技術の採用は、システムオンチップを実現する上で有効である。

【0005】なお、サリサイド技術として、以下に述べる公知文献1〜6がある。

(1)特開平7-211898号公報(公知文献1)

公知文献1には、I/O部半導体装置のゲート酸化膜耐性を確保する半導体装置及びその製造方法が開示されている。そして、CMOS適用技術が開示され、ソース、ドレイン拡散層とゲートとの間に、ソース、ドレイン拡散層よりも低濃度な拡散層を形成し、さらにこの低濃度拡散層は、ソース、ドレイン拡散層とは異なり、非サリサイド領域とすることを特徴としている。この公知文献1は、後で詳しく述べる。

【0006】(2)特開平7-106559号公報(公知文献2)

公知文献2には、ゲート電極の側面を覆う絶縁膜と素子分離領域とトランジスタ活性領域の境界を覆う絶縁膜を同時に形成することによって高信頼性かつ、低コスト化を実現した半導体装置の製造方法を提供することが開示されている。そして、ゲート周辺のサイドスペース絶縁膜(酸化シリコン膜)の加工時に、素子分離領域端部にもマスクをかけて残し、ソース、ドレインとシリサイド膜を素子分離からオフセットさせてリーク低減する技術が開示されている。

【0007】(3)特開平7-183506号公報(公知文献3)

公知文献3には、特に、ゲート電極を構成するチタンシリサイド膜の層抵抗とサリサイド構造のソース・ドレイン領域を構成するチタンシリサイド膜の層抵抗とが、同時に最小となる構造のトランジスタを提供することが開示されている。そして、チタンシリサイド膜が形成されるゲート電極として、(111)配向性の優位な多結晶シリコン膜を用いるという技術が開示されている。すなわち、公知文献2は、特に、ゲート電極へのチタンシリサイド形成を前提にしたサリサイド技術を提供している。

【0008】(4)特開平7-263682号公報(公知文献4)

公知文献4には、リーク電流を低減できかつ寄生抵抗を低減することができる、サリサイド構造を有するMISFETの製造方法が開示されている。

【0009】公知文献4によれば、イオン注入および加熱処理により第1の拡散層を形成した後、サイドウォールをマスクとして第2のイオン注入を行って第2の拡散層を形成し、そして、高温短時間熱処理法(RTA)を用いて第2の拡散層の不純物を活性化させる。このことにより、イオン注入によって生じた拡散層中の結晶欠陥をさせ、かつ拡散層の表面とシリサイド層の底面との界面付近での不純物の低濃度化を防ぎ、寄生抵抗を低減している。

【0010】(5) 特開平9-82949号公報(公知文献5)

公知文献5には、リーク電流が少なく、メタルシリサイド層やメタル層をソース、ドレイン上に形成しない場合に比べて動作速度が大きい半導体装置およびその製造方法が開示されている。公知文献5によれば、ソース、ドレインのpn接合界面とメタルシリサイド層またはメタル層の端部との間にオフセット層を設け、両者間のリーク電流の発生を抑制することを目的にしている。オフセット層はゲート側壁に設けられるサイドウォールスペーサの厚み(チャンネル長方向のサイドウォール幅)で制御される。

【0011】(6) 特開平10-12748号公報(公知文献6)

公知文献6には、異なる導電型の不純物を導入して形成した異種ゲート構造(デュアルゲート構造)のCMOS半導体装置を提供し、サリサイド構造を採用すること、そのサリサイド構造を得るための具体的金属材料としてチタン(Ti)またはコバルト(Co)を用いることが開示されている。

【0012】一方、一つの半導体基板に複数のLDD(Lightly Doped Drain)構造のMISFETを組み込む場合において、種々の異なる電気特性のMISFETを提供する技術が下記の文献に開示されている。

【0013】(7) 特開昭62-283666号公報(公知文献7)

公知文献7には、サイドウォールの幅を変えることで、そのサイドウォール下部の低不純物濃度の半導体領域の幅を変えるという技術を開示している。つまり、ゲート電極端から高不純物濃度の半導体領域端までのオフセット幅の異なるMISFETを提供している。なお、この公知文献7にはサリサイド技術の適用は全く開示されていない。

【0014】(8) 特開昭63-226055号公報(公知文献8)

公知文献8には、nチャネルMISFETの耐圧を確保するとともにpチャネルMISFETの電流駆動力を向上する技術が開示されている。この公知文献8に開示された技術は、nチャネルMISFETのLDD部の寸法を長くし、高不純物濃度のソース、ドレイン領域間を隔離し、両領域間の耐圧を確保するとともに、pチャネルMISFETのLDD部の寸法を短くしてソース領域の直列抵抗値及びドレイン領域の直列抵抗値を低減し、電流駆動力を向上させるというものである。この公知文献8もまたサリサイド技術の適用は全く開示されていない。

【0015】

【発明が解決しようとする課題】フラッシュメモリアレイおよびマイコンなどの論理演算回路を内蔵するシステムオンチップの場合、例えば、3.3Vの外部電源を用い

て、その外部電源電圧3.3Vで駆動させる複数のMISFETと、低消費、高速化のために、降圧回路により1.8Vの第1内部電源電圧を発生させ、その第1内部電源電圧で駆動させる複数のMISFETとが必要とされる。そしてさらに、昇圧回路により10V~12Vの第2内部電源電圧を発生させ、その第2内部電源電圧(10~12V)でフラッシュメモリアレイ中の選択されたメモセルへの書き込み等のために駆動させる複数のMISFETが必要とされる。以下、前者のような3.3Vあるいは1.8Vで駆動させるMISFETを低耐圧MISと称し、後者のような10~12Vで駆動させるMISFETを高耐圧MISと称する。これら低耐圧MISおよび高耐圧MISは、それぞれ一つの半導体本体(半導体チップ)内にCMOS構成(pチャネルMISFETとnチャネルMISFETとのペア)で内蔵される。

【0016】このシステムオンチップを構成するデバイス(MISFET)の能力向上のために、サリサイド技術によりゲート電極と拡散層(ソース・ドレイン領域)の抵抗を低減することが考えられた。

【0017】また、システムオンチップの中の第2内部電源回路(高電圧電源回路)において、デバイスの技術として高濃度の拡散層(コンタクト領域)をゲート電極やフィールド酸化膜からオフセットさせることが考えられた。このようなデバイスを“オフセットMOS”と言う。

【0018】この技術により、拡散層の耐圧を大きくし、高電圧発生に対するマージンを確保することが可能となる。すなわち、ゲート電極下のチャンネル領域と高濃度の拡散層との間にその拡散層よりも低濃度の領域を設け、チャンネル領域と高濃度の拡散層とがオフセットすることでその間に低濃度の領域(イクステンション層)のみからなる高抵抗層が形成されることで、デバイスのドレイン・ソース破壊電圧(ゲート電圧オープン)BVds0などの特性を向上させている。フラッシュメモリとマイコンを同じチップ上に搭載するような製品(すなわち、システムLSI)を高いデバイス性能を維持しつつ製造するためには、上記オフセットMOSとサリサイド技術を両立する技術が要求される。しかし、この二つの技術を両立する上で、以下の問題点が明らかとなった。

【0019】オフセットMOSを形成した拡散層上のシリサイドーションにより、オフセット領域の低濃度拡散層(イクステンション層)上もシリサイド化された。このため、シリサイド反応時の拡散層中の不純物の吸い上げによる接合リークの増大が生じる。

【0020】また、表面の低抵抗化による電流集中などの要因によりオフセットMOSが要求どりの性能を発揮できない。すなわち、拡散層にシリサイド層(低抵抗層)から急激にイクステンション層(高抵抗層)に変わった部分が存在し、その部分に電流が集中すると局所的

な溶断が生じ、デバイス特性の劣化に至る。

【0021】この問題を解決するために、オフセットMOSの低濃度拡散層上をホトレジストマスクで覆い、高濃度拡散層上のみにシリサイド層を形成する方法が考えられた。

【0022】上記の方法により、低濃度拡散層表面のシリサイドーションを防止し、シリサイドとオフセットMOSを同一チップ内で特性を劣化させることなく実現することができる。

【0023】なお、先に述べた公知文献1において、図1(e)は、非シリサイド領域を有するオフセット構造のI/O部半導体装置を示している。すなわち、シリサイド層(シリサイド領域: $TiSi_2$)は高濃度の拡散層上のみに選択的に形成されている。そして、公報第3頁左欄、【0012】項の記載から明らかなように、このような半導体装置構造にすると、ソース、ドレイン拡散層に動作電圧以上の電圧が印加されても、ゲート酸化膜だけではなくLOCOS酸化膜端の耐性をも確保することができる。

【0024】しかしながら、この方法では、上記低濃度の拡散層表面がシリサイド化されないようにホトレジストマスクで覆う工程が必要であるために、マスク枚数の増加によるコスト増加を余儀なくされる。

【0025】また、非シリサイド領域を形成するためのマスクとその領域を取り囲む拡散層との合わせずれを考慮したレイアウト設計を行う必要があるため微細化が困難という問題がある。

【0026】システムオンチップの高集積化、低コスト化を実現させるためにはマスク枚数をいかに低減させるかが重要な技術課題となっている。

【0027】なぜならば、マスク枚数の低減は、マスクそのものの製作コストの低減のみならず、マスクを用いたフォトレジストパターン形成のためのフォトレジストの塗布、感光、現像および洗浄・乾燥の一連の処理を削減することができ、半導体集積回路装置のプロセスコストを大幅に低減できるからである。そしてさらに、異物による不良発生率を低減でき、半導体集積回路装置の歩留まりおよび信頼性を向上させることが可能となるからである。

【0028】そこで、発明者等は、オフセットMOSにおけるシリサイド領域形成用のホトレジストマスク工程を省略することを検討し、そして、CMOSにおけるN⁺(高濃度)拡散層形成用マスクおよびP⁺(高濃度)拡散層形成用マスクに注目した。

【0029】本発明の第1の目的は、高速動作が可能なMISFETと、かつ高電圧駆動が可能なMISFETとを内蔵する新規な半導体集積回路装置を提供することにある。

【0030】本発明の第2の目的は、互いに異なる特性を有する同一導電型チャンネルMISFETを内蔵する半

導体集積回路装置を低コストで、かつその製造歩留まりの向上を実現させる方法を提供することにある。

【0031】本発明の第3の目的は、低耐圧MISFETと高耐圧MISFETとを内蔵した新規な半導体集積回路装置を提供することにある。

【0032】本発明の第4の目的は、低耐圧MISFETおよび高耐圧MISFETとを内蔵した半導体集積回路装置を低コストで実現させる方法を提供することにある。

【0033】本発明の第5の目的は、高速動作が可能なMISFETと、かつ高電圧駆動が可能なMISFETとを内蔵する新規なCMOS半導体集積回路装置を提供することにある。

【0034】本発明の第6の目的は、互いに異なる特性を有するpチャンネルMISFETと、互いに異なる特性を有するnチャンネルMISFETとを内蔵するCMOS半導体集積回路装置を低コストで実現させる方法を提供することにある。

【0035】本発明の第7の目的は、一つの半導体チップにフラッシュメモリと高速動作可能な論理演算回路とを内蔵した新規な半導体集積回路装置を提供するものである。

【0036】本発明の第8の目的は、一つの半導体チップにフラッシュメモリと高速動作可能な論理演算回路とを内蔵した半導体集積回路装置を低コストで実現する方法を提供するものである。

【0037】本発明の第9の目的は、一つの半導体チップにSRAMと高速動作可能な論理演算回路とを内蔵した新規な半導体集積回路装置を提供するものである。

【0038】本発明の第10の目的は、一つの半導体チップにSRAMと高速動作可能な論理演算回路とを内蔵した半導体集積回路装置を低コストで実現する方法を提供するものである。

【0039】本発明の第11の目的は、一つの半導体チップにDRAMと高速動作可能な論理演算回路とを内蔵した新規な半導体集積回路装置を提供するものである。

【0040】本発明の第12の目的は、一つの半導体チップにDRAMと高速動作可能な論理演算回路とを内蔵した半導体集積回路装置を低コストで実現する方法を提供するものである。

【0041】

【課題を解決するための手段】(1)本発明の第1の手段は、一つの半導体本体に互いに区画された第1半導体主面と第2半導体主面を有し、前記第1半導体主面にゲート絶縁膜を介して設けられた第1ゲート電極と、前記第1ゲート電極に整合され、前記第1半導体主面の導電型とは反対の導電型を示す比較的低濃度の第1領域と、前記第1領域上であって、前記第1ゲート電極の側壁に設けられた第1の絶縁膜と、前記第1の絶縁膜の端部に整合され、前記第1領域と同一導電型を示し、その第1

領域に接する比較的高濃度の第2領域と、前記第2領域主面に前記第1の絶縁膜の端部に整合された金属・半導体反応層とから成る第1MISFETと、前記第2半導体主面にゲート絶縁膜を介して設けられた第2ゲート電極と、前記第2ゲート電極に整合され、前記第2半導体主面の導電型とは反対の導電型を示す比較的低濃度の第3領域と、前記第3領域上であって、前記第2ゲート電極の側壁に設けられ、前記第1の絶縁膜に対してゲート長方向の幅が大きい第2の絶縁膜と、前記第2の絶縁膜の端部に整合され、前記第3領域と同一導電型を示し、その第3領域に接する比較的高濃度の第4領域と、前記第4領域主面に前記第2の絶縁膜の端部に整合された金属・半導体反応層とから成る第2MISFETとを有するものである。

【0042】上述した手段(1)によれば、第1MISFETの第2領域と金属半導体反応層とがそれぞれ第1の絶縁膜の端部に整合され、また第2MISFETの第4領域と金属半導体反応層とが第2の絶縁膜の端部にそれぞれ整合されており、また第2、第4領域の電極引き出し部は金属・半導体反応膜により低抵抗化される。

【0043】したがって、第1MISFETおよび第2MISFETそれぞれは高速動作が可能となる。そして、上記第2の絶縁膜の幅を上記第1の絶縁膜の幅よりも大きくしたことにより、上記第2半導体と上記第1領域とで構成されたPN接合端から金属・半導体反応層までの距離が上記第1半導体と上記第2領域とで構成されたPN接合端から金属・半導体反応層までの距離に比較して大きい。このため、上記第3領域内での空乏層の伸びを充分確保でき、第1MISFETよりも耐圧の高い第2MISFET、すなわち高電圧駆動が可能なMISFETが得られる。

【0044】(2)本発明の第2の手段は、互いに絶縁分離層により区画された第1半導体と第2半導体を有し、前記第1半導体上に絶縁膜を介して設けられた第1ゲート電極と、前記第1ゲート電極および前記絶縁分離層に整合され、前記第1半導体の導電型とは反対の導電型を示す第1不純物濃度の第1領域と、前記第1領域上であって、前記第1ゲート電極の側壁に選択的に残された第1の絶縁膜と、前記第1の絶縁膜および前記絶縁分離層に整合され、前記第1領域と同一導電型で、かつ前記第1不純物濃度と比較して高濃度を示し、その第1領域に接する第2領域と、前記第2領域主面に前記第1の絶縁膜によって整合された金属・半導体反応層とから成る第1MISFETと、前記第2半導体上に絶縁膜を介して設けられた第2ゲート電極と、前記第2ゲート電極および絶縁分離層に整合され、前記第2半導体の導電型とは反対の導電型を示す第3不純物濃度の第3領域と、前記第3領域上であって、前記第2ゲート電極の側壁および前記絶縁分離層より張り出して選択形成された第2

の絶縁膜と、前記第2の絶縁膜および前記絶縁分離層によって整合され、前記第3領域と同一導電型で、かつ前記第3不純物濃度と比較して高濃度を示し、その第3領域に接する第4領域と、前記第4領域主面に前記第2の絶縁膜によって整合された金属・半導体反応層とから成る第2MISFETとを有し、前記第2ゲート電極端からの前記第2の絶縁膜のパターン幅は前記第1ゲート電極端からの前記第1の絶縁膜のパターン幅よりも大きい設定されている。

10 【0045】上述した手段(2)によれば、上記第3領域内での空乏層の伸びを充分確保でき、第1MISFETよりも耐圧の大きい第2MISFETが得られる。また、第2MISFETの金属・半導体反応層は前記第3領域および絶縁分離層から離れて形成されているため、接合リークの問題が解消される。

【0046】(3)本発明の第3の手段は、第1半導体主面に第1ゲート絶縁膜を介して第1ゲート電極を、第2半導体主面に第2ゲート絶縁膜を介して第2ゲート電極を、それぞれパターン形成する工程と、前記第1ゲート電極でマスクされていない前記第1半導体主面に、前記第1半導体の導電型とは反対の導電型を示す不純物を導入し、第1の不純物濃度を有する第1領域を形成する工程と、前記第2ゲート電極でマスクされていない前記第2半導体主面に、前記第1半導体の第1導電型とは反対の第2導電型を示す不純物を導入し、第3の不純物濃度を有する第3領域を形成する工程と、が形成された第2半導体主面にそれぞれ絶縁膜を形成する工程と、前記第1半導体主面上の絶縁膜を異方性エッチングを行うことにより前記第1ゲート電極の側壁に第1の絶縁膜を残す工程と、前記第2半導体主面上の絶縁膜にパターンマスクを設け、そのマスクにより前記絶縁膜をパターンエッチングすることにより前記第2ゲート電極の側壁に第2の絶縁膜を残す工程と、前記第1の絶縁膜でマスクされていない第1半導体主面に第2導電型を示す不純物を導入し、前記第1不純物濃度よりも高い第2不純物濃度を有する第2領域を形成し、前記第2の絶縁膜でマスクされていない第2半導体主面に第2導電型を示す不純物を導入し、前記第3不純物濃度よりも高い第4不純物濃度を有する第4領域を形成する工程と、前記第2領域表面に前記第1の絶縁膜で整合された金属・半導体層を、前記第4領域表面に前記第2の絶縁膜で整合された金属・半導体反応層をそれぞれ形成する工程とより成る。

【0047】上述した手段(3)によれば、第2領域とその表面の金属・半導体層とは前記第1の絶縁膜によって、第4領域とその表面の金属・半導体層とは第2の絶縁膜によってそれぞれ自己整合形成されるため、マスク枚数の低減が図れる。したがって、マスクそのものの製作コストの低減のみならず、マスクを用いたフォトリソパターン形成のためのフォトリソの塗布、感光、現像および洗浄・乾燥の一連の処理を削減すること

ができ、半導体集積回路装置のプロセスコストを大幅に低減できる。また、異物による不良発生率を低減でき、半導体集積回路装置の歩留まりおよび信頼性を向上させることが可能となるからである。

【0048】(4) 本発明の第4の手段は、基板に第1半導体領域と第2半導体領域とを有し、前記第1半導体領域主面に第1の膜厚を有するゲート絶縁膜を介して設けられた第1ゲート電極と、前記第1ゲート電極に整合され、前記第1半導体領域内に前記第1半導体領域の導電型とは反対の導電型を示す第1不純物濃度の第1領域と、前記第1領域上であって、前記第1ゲート電極の側壁に第1側壁幅を有して選択形成された第1側壁幅を有する第1の絶縁膜と、前記第1の絶縁膜に整合され、前記第1領域と同一導電型で、かつ前記第1不純物濃度と比較して高濃度を示し、一部がその第1領域にオーバーラップする第2領域と、前記第2領域主面に形成された金属・半導体反応層とから成る第1MISFETと、前記第2半導体領域主面に前記第1の膜厚よりも厚い第2の膜厚を有するゲート絶縁膜を介して設けられた第2ゲート電極と、前記第2ゲート電極に整合され、前記第2半導体領域内に前記第1半導体領域の導電型とは反対の導電型を示す第3不純物濃度の第3領域と、前記第3領域上であって、前記第2ゲート電極の側壁に選択形成された、前記第1側壁幅よりも大きい第2側壁幅を有する第2の絶縁膜と、前記第2の絶縁膜によって整合され、前記第3領域と同一導電型で、かつ前記第3不純物濃度と比較して高濃度を示し、その第3領域にオーバーラップする第4領域と、前記第4領域主面に形成された金属・半導体反応層とから成る第2MISFETとを有するものである。

【0049】上述した手段(4)によれば、第1MISFETのコンタクト領域である第2領域表面および第2MISFETのコンタクト領域である第4領域表面にはそれぞれ金属・半導体反応層が形成されて低抵抗化されているため、高速化、低消費電力化を図ることができる。そして、第2MISFETの第4領域は第1側壁幅よりも大きい第2側壁幅を有する第2の絶縁膜に整合されて形成されているため、第2の絶縁膜下の第3領域のオフセット長が第1の絶縁膜下の第2領域のオフセット長より長い。したがって、第3領域内での空乏層の伸びを充分確保でき、第1MISFETよりも耐圧の高い第2MISFETが得られる。

【0050】なお、ここでのオフセット長は、チャンネル長方向のゲート電極端から高濃度領域端までの距離を示す。

【0051】(5) 本発明の第5の手段は、第1半導体主面に第1ゲート絶縁膜を介して第1ゲート電極を、第2半導体主面に第2ゲート絶縁膜を介して第2ゲート電極を、それぞれパターン形成する工程と、前記第1ゲート電極でマスクされていない前記第1半導体主面に、前

記第1半導体の導電型とは反対の導電型を示すための不純物を導入し、前記第1ゲート電極で整合された第1の不純物濃度を有する第1領域を形成する工程と、前記第2ゲート電極でマスクされていない前記第2半導体主面に、前記第1半導体の第1導電型とは反対の第2導電型を示すための不純物を導入し、前記第2ゲート電極で整合された第3の不純物濃度を有する第3領域を形成する工程と、前記第1ゲート電極が形成された第1半導体主面および前記第2ゲート電極が形成された第2半導体主面にそれぞれ絶縁膜を形成する工程と、前記第1半導体主面上の絶縁膜を異方性エッチングを行うことにより前記第1ゲート電極の側壁に第1の絶縁膜を残す工程と、前記第2半導体主面上の絶縁膜にパターンマスクを設け、そのパターンマスクに規定されるように前記絶縁膜をパターンエッチングし、前記第2ゲート電極の側壁に前記第1の絶縁膜の側壁幅よりも大なる側壁幅を有する第2の絶縁膜を残す工程と、前記第1の絶縁膜でマスクされていない第1半導体主面に第2導電型を示すための不純物を導入し、前記第1不純物濃度よりも高い第2不純物濃度を有し、前記第1の絶縁膜に整合された第2領域を形成し、前記第2の絶縁膜でマスクされていない第2半導体主面に第2導電型を示すための不純物を導入し、前記第3不純物濃度よりも高い第4不純物濃度を有し、前記第2の絶縁膜に整合された第4領域を形成する工程と、前記第2領域表面に前記第1の絶縁膜で整合された金属・半導体層を、前記第4領域表面に前記第2の絶縁膜で整合された金属・半導体反応層をそれぞれ形成する工程とより成る。

【0052】上述した手段(5)によれば、第2ゲート電極端から第4領域端までの第2領域の幅を第1ゲート電極端から第2領域端までの第1領域の幅よりも大きくできる。したがって、第1MISFETは高速動作で、比較的低電圧駆動に適した低耐圧MISFETとしてのデバイス機能(特性)が得られる。一方、第2MISFETは高速動作で、比較的低電圧駆動に適した高耐圧MISFETとしてのデバイス機能(特性)が得られる。また、第2領域とその表面の金属・半導体層とは前記第1の絶縁膜によって、第4領域とその表面の金属・半導体層とは第2の絶縁膜によってそれぞれ自己整合形成されるため、マスク枚数の低減が図れる。したがって、半導体集積回路装置のプロセスコストも大幅に低減できる。

【0053】(6) 本発明の第6の手段は、一つの半導体本体に互いに区画された第1導電型の第1ウェルと前記第1導電型とは反対の導電型を示す第2導電型の第2ウェルとを有し、前記第1ウェル主面に絶縁膜を介して設けられた第1ゲート電極と、前記第1ウェル内に形成された第2導電型の第1領域と、前記第1領域上であって、前記第1ゲート電極の側壁に設けられた第1の絶縁膜と、前記第1の絶縁膜によって整合され、その第1領

域に接する第2導電型の第2領域と、前記第2領域主面に前記第1の絶縁膜によって整合された金属・半導体反応層とから成る第2導電型チャネルの第1MISFETと、前記第2ウェル主面に絶縁膜を介して設けられた第2ゲート電極と、前記第2ウェル内に第1導電型の第3領域と、前記第3領域上であって、前記第2ゲート電極の側壁に設けられた第2の絶縁膜と、前記第2の絶縁膜によって整合され、前記第3領域に接する第1導電型の第4領域と、前記第4領域主面に前記第2の絶縁膜によって整合された金属・半導体反応層とから成る第1導電型チャネルの第2MISFETとを有することを特徴とするCMIS半導体集積回路装置。

【0054】上述した手段(6)によれば、第1MISFET(具体的にはpチャネルMISFET)のためのコンタクト領域である第2領域とその第2領域表面に形成される金属・半導体反応層とが第1の絶縁膜に整合され、第2MISFET(具体的にはnチャネルMISFET)のためのコンタクト領域である第4領域とその第4領域表面に形成される金属・半導体反応層とが第2の絶縁膜に整合されている。そして、第2、第4領域表面は金属・半導体反応層を設けて低抵抗化されている。

【0055】以上、代表的な本発明の課題を解決するための手段とその作用を簡単に述べた。さらに、前述の目的を達成するための本発明の解決手段は、以下に述べる発明の実施の形態で明らかにする。

【0056】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0057】<実施の形態1>本実施の形態1では、例えば8Mビットフラッシュメモリと、高速ロジック回路と、その周辺回路とを同一半導体チップ内に設けた半導体集積回路装置に適用した場合について説明する。

【0058】図1は本発明の技術思想が適用された半導体集積回路装置であり、フラッシュメモリとCMIS(Complementary Metal Insulator Semiconductor)デバイス構成の論理演算回路(Logic circuit)とをワンチップ上に搭載したシステムオンチップ(以下、フラッシュメモリ内蔵システムLSIと称す。)の断面図を示す。そして、図2はこのフラッシュメモリ内蔵システムLSIのブロック図の一例を簡単に示している。

【0059】なお、CMISデバイスは、第1導電型(n)チャネルMISFETと第1導電型に対して反対の導電型を示す第2導電型(p)チャネルMISFETとを組み合わせた相補型絶縁ゲート電界効果トランジスタで構成されている。この相補型絶縁ゲート電界効果トランジスタは、通常“CMOS”と呼ばれている。

【0060】まず、図2を用いてフラッシュメモリ内蔵システムLSIの回路ブロックを簡単に説明する。

【0061】フラッシュメモリ内蔵システムLSI(半導体チップ1)は、CMOS素子を基本デバイスとして、高速論理演算を行う高速ロジック回路LOGIC(例えばプロセッサ)、プログラムメモリとしてのフラッシュメモリアレイFMAY、LOGICとFMAYとの間にはFMAYのデータを一時的に格納させておくデータバッファDB、書込み・消去に必要な高電圧電源回路PC、データ書込み・消去のための制御回路CONT1そしてデータ読出しのための制御回路CONT2を構成している。前記FMAYは、電気的な書込み・消去によって情報を書換え可能であって、EPROM(Erasable PROM)と同様にそのメモリセルを1個のトランジスタで構成することができ、さらにメモリセルの全てを一括して、またはメモリセルのブロック(メモリブロック)を一括して電氣的に消去する機能を持つ。このFMAYは、一括消去可能な単位として複数個のメモリブロックを有する。

【0062】このフラッシュメモリ内蔵システムLSIは、例えば、外部電源電圧3.3Vが使用される。そして、チップ1内に組み込まれた降圧回路(たとえば電圧リミッタ:図示せず)により降圧させて内部低電圧1.8Vが発生される。また、高電圧電源回路PC内の昇圧回路(図示せず)により昇圧させて内部高電圧10~12Vが発生される。そして、それらの使用電源電圧に応じたデバイス特性を有するMISFETにより上記の回路ブロックが構成されている。

【0063】なお、内部電圧1.8Vで駆動されるMISFETは1.8V駆動MISFET(1.8V-driverMISFET)と言う。また、外部電源電圧3.3Vが内部低電圧として用いられ、その電圧3.3Vで駆動されるMISFETを3.3V駆動MISFET(3.3V-driverMISFET)と言う。さらに、例えば、高電圧電源回路PCを構成するMISFETのように内部高電圧10~12Vで駆動されるMISFETを12V駆動MISFET(12V-driverMISFET)と言う。

【0064】さらに、1.8V駆動MISFETや3.3V駆動MISFETのような相対的に低い電圧駆動のMISFETは高速化のためデバイス構造も微細化される。したがって、このようなMISFETはゲート耐圧も低い。以下、このようなMISFETを低耐圧MISFET(低耐圧MIS)と言う。

【0065】一方、12V駆動MISFETのような相対的に高い電圧駆動のMISFETはゲート耐圧も高くなる。以下、このようなMISFETを高耐圧MISFET(高耐圧MIS)と言う。

【0066】高速化、低消費電力および低コスト化を図った本発明のフラッシュメモリ内蔵システムLSIを図1を用いて以下に説明する。図1は、フラッシュメモリ内蔵システムLSIの要部断面図であって、低耐圧MIS部、高耐圧MIS部およびメモリセル部のMISFE

Tの断面構造を示す。

【0067】図1において、一つのp型半導体本体(p型シリコン基板)1主面の低耐圧MIS部には、基板に対し反対導電型を示すnウエル(N-Well)4aと基板に対し同一導電型を示すpウエル(P-Well)5aとが選択形成されている。高耐圧MIS部には、nウエル4bとpウエル5bとが選択形成されている。そして、メモリセル部

(FMAY)には埋め込みnウエル(N-IS0)3を介してpウエル5cが選択形成されている。それぞれのウエル表面には、活性領域(MISFETが形成される領域)を区画するための素子分離領域(浅溝分離領域)2が選択形成されている。この浅溝分離領域2は、基板1に形成した溝の内部にシリコン酸化膜を埋め込んだ構成になっており、その表面は、それぞれのウエルの表面とほぼ同じ高さになるように平坦化されている。

【0068】低耐圧MIS部において、nウエル4a内に、pチャネルMISFET(PMOS1)が、pウエル5a内にnチャネルMISFET(NMOS1)がそれぞれ形成されている。PMOS1およびNMOS1のそれぞれは、1.8V駆動MISFETを構成する。これらのソース・ドレイン領域は、低不純物濃度領域と高不純物濃度領域とから成るLDD構造が採用され、短チャネル効果を抑制している。そして、PMOS1、NMOS1のソース・ドレイン領域表面およびゲート電極表面のそれぞれには、低抵抗化のための金属・半導体反応層21s, 21d, 21gが形成されている。これら金属・半導体反応層は、後で詳しく述べるが、サリサイド構造が採られている。

【0069】高耐圧MIS部において、nウエル4b内にpチャネルMISFET(PMOS2)が、pウエル5b内におよびnチャネルMISFET(NMOS2)がそれぞれ形成されている。MOS2およびNMOS2のそれぞれは、12V駆動MISFETを構成する。これらのソース・ドレイン領域もまた、低不純物濃度領域と高不純物濃度領域とから成るLDD構造が採用されている。そして、PMOS1、NMOS1のソース・ドレイン領域表面およびゲート電極表面のそれぞれには、低抵抗化のための金属・半導体反応層21s, 21dが形成されている。

【0070】さらに、メモリセル部において、pウエル5c内に複数のメモリセルが形成されている。メモリセルのそれぞれは、フローティング電極FGと、そのフローティング電極FG上に層間絶縁膜を介して設けられたコントロール電極CGとから成るゲート電極と、LDD構造のソース・ドレイン領域から成る。そして、ソース・ドレイン領域の表面には金属・半導体反応層21s, 21dが形成され、コントロール電極CG表面に金属・半導体反応層21gが形成されている。これらのメモリセルにより、例えば、NOR型のフラッシュメモリセルアレイが構成されている。なお、埋め込みnウエルN-IS0により、pウエルは

基板(P-sub)から分離され、独立した基板バイアスが与えられる。

【0071】本実施の形態1によれば、低耐圧MIS(PMOS1、NMOS1)のソース・ドレイン領域の高濃度領域(配線コンタクト領域)19s, 19d; 16s, 16dと金属・半導体反応層21s, 21dとは、ゲート電極9a, 9bのそれぞれの側壁に異方性エッチングにより形成された第1の絶縁膜(いわゆるサイドウォール膜またはサイドウォールスペーサ)15d, 15aの端部に整合(align)されている。すなわち、低耐圧MIS部のMISFETは、図3に示したように、配線コンタクト領域(9s, 19d)と金属・半導体反応層(21s, 21d)とが一致したパターン形状となり、その配線コンタクト領域主面全体が低抵抗化されたデバイス構造になっている。

【0072】この低耐圧MISは主に高速ロジック回路を構成する。したがって、そのロジック回路の高速動作を実現するために、低耐圧MISのゲート電極(配線)21gも、その表面にサリサイド層が形成され、低抵抗化が図られている。

【0073】一方、高耐圧MIS(PMOS2、NMOS2)は、上述したオフセットMISの問題点を解決したデバイス構造になっている。すなわち、ソース・ドレイン領域の高濃度領域(配線コンタクト領域)20s, 20d; 17s, 17dと金属・半導体反応層21s, 21dとは、マスクパターンによって形成された第2の絶縁膜15e, 15cの端部に整合されている。この第2の絶縁膜15e, 15cは、図3に示すように、ゲート長Lの方向の第1の絶縁膜のパターン幅W1よりも大きいパターン幅W2を有するように形成されている。このため、同一導電型チャンネルのNMOS1(低耐圧MIS)およびNMOS2(高耐圧MIS)における低不純物濃度領域のオフセット長を対比した場合、NMOS1オフセット長(OFF1)>PMOSオフセット長(OFF2)の関係にある。したがって、高耐圧MISにおいては、低不純物濃度領域内での空乏層が十分に延びるため、ドレイン端での電界が緩和される。このため、アバランシェ現象が生じにくくなり、ドレイン耐圧を向上させることができる。また、低抵抗化のための金属・半導体反応層21s, 21dは、その第2の絶縁膜15cによって高濃度領域(配線コンタクト領域)17s, 17dとともに整合されたものである。したがって、低不純物濃度領域内にその金属・半導体反応層が形成されていないため、接合リークの増大を招くこともない。

【0074】この高耐圧MISのゲート電極21gは、サリサイド層が形成されていない。その理由は、以下に述べる製造方法から理解されるであろう。高耐圧MISは、低耐圧MISに比べてシステムLSIの中で占める割合が極めて小さい。すなわち、高耐圧MISは電源回路や書き込み・消去のための制御回路の一部に適用されるものである。また、高耐圧MISは低耐圧MISに比べ、高速性は要求されていない。したがって、高耐圧M

ISにおいて、ゲート電極表面をサリサイド層とする必要性はない。

【0075】次に、本実施の形態1のフラッシュメモリ内蔵システムLSIの製造方法を図4～図31を参照して説明する。

【0076】(素子分離領域形成工程) 図4は、浅溝分離領域2が半導体本体(P-sub)1に形成された段階を示している。図は省略されているが、この浅溝分離領域2を形成するまでの製造プロセスは以下のとおりである。

【0077】抵抗率 $10\Omega\cdot\text{cm}$ を有するp型シリコン(Si)単結晶からなる半導体本体1を準備する。この半導体本体1の主面に、例えば厚さ $10\sim 30\text{nm}$ 程度のシリコン酸化膜からなるパッド膜を熱酸化法により形成する。続いて、そのパッド膜上に、厚さ $100\sim 200\text{nm}$ 程度のシリコン窒化膜を化学気相成長法(CVD法)により堆積する。このパッド膜は、シリコン窒化膜からなる絶縁膜(溝形成用マスク)が直接シリコン主面に被覆した場合にその表面に熱的歪が残留し、結晶欠陥を引き起こすのを防止するためのバッファ膜である。

【0078】続いて、上記窒化膜上に、素子分離領域部が開口したフォトレジストマスクを公知のフォトリソグラフィ技術を用いて形成する。そして、このフォトレジストマスクをエッチングマスクとして素子分離領域部の窒化シリコン膜、パッド膜および半導体本体を順次エッチングすることにより、半導体本体1に深さ $350\sim 400\text{nm}$ 程度の溝2a(図4)を形成する。

【0079】なお、窒化シリコン膜をドライエッチングするガスは、例えば $\text{CF}_4+\text{CHF}_3+\text{Ar}$ または CF_4+Ar が使用される。また、半導体本体1をドライエッチングするガスは、 $\text{HBr}+\text{Cl}_2+\text{He}+\text{O}_2$ が使用される。

【0080】次いで、フォトレジストマスクを除去した後、溝の表面を含む半導体本体1の主面上に、例えば、厚さ 400nm のシリコン酸化膜をCVD法で堆積した後、そのシリコン酸化膜を溝2a内のみに残るようにCMP(化学的機械研磨: Chemical Mechanical Polishing)法によって平坦化することにより、素子分離領域2を形成する。その後、約 1000°C の熱処理を施して溝2aに埋め込まれたシリコン酸化膜をデンシファイ(焼締め)する。この後、熱リン酸を用いたウェットエッチングにより半導体本体1上に残ったシリコン窒化膜を除去する。この結果、半導体本体1に埋め込まれた深さ $350\sim 400\text{nm}$ の素子分離領域2が得られる。なお、パッド膜は半導体本体1表面の汚染防止のために、そのまま残してもよい。また、パッド膜をウェットエッチングにより除去し、再度熱酸化によりその半導体本体1表面にクリーンなシリコン酸化膜を形成してもよい。このシリコン酸化膜は次のウェル形成工程でのイオン打ち込み法によるイオンダメージを軽減する保護膜として作用する。

【0081】(ウェル形成工程) 図5～図7において、各図、ウェル形成のためにイオン打ち込み技術を用いた

不純物導入を示している。

【0082】まず、図5に示すように、半導体本体1主面のメモリセル部にp型半導体本体1からメモリセルアレイが形成されるpウェルを分離するために、埋込みnウェル(N-IS0)3を形成する。

【0083】半導体本体1主面上に、メモリセル部が開口された厚さ $5\mu\text{m}$ 程度のフォトレジストパターンPR1をホトリソグラフィ技術により形成する。そして、埋込みnウェル(N-IS0)3を形成するために、フォトレジストパターンPR1をマスクとして半導体本体1内に選択的に高エネルギーイオン打ち込みを行う。すなわち、フォトレジストパターンPR1(および素子分離領域2の一部)をマスクとして、n型不純物のリンを、例えば、加速エネルギー 2300keV 、ドーズ量 $1\times 10^{13}/\text{cm}^2$ の条件で、半導体本体1の深い位置にイオン打ち込みする。この後、引き延ばし拡散のための熱処理(アニール)を行い、半導体本体1の主面から深さ $2\sim 3\mu\text{m}$ の深さに不純物濃度のピークがくるように埋込みnウェル3が形成される。

【0084】次いで、フォトレジストパターン(マスク)PR1を除去した後、図6に示すように、半導体本体1の主面の低耐圧MIS部のPMOS1および高耐圧MIS部のPMOS2が形成される部分にそれぞれnウェル(N-Well)4a, 4bを形成するためのイオン打ち込みが行われる。

【0085】イオン打ち込みは、フォトレジストパターンPR2をマスクとして、n型不純物のリンを、例えば加速エネルギー 1300keV 、ドーズ量 $1\times 10^{13}/\text{cm}^2$ の条件、加速エネルギー 600keV 、ドーズ量 $5\times 10^{12}/\text{cm}^2$ の条件そして加速エネルギー 200keV 、ドーズ量 $5\times 10^{11}/\text{cm}^2$ の条件よりなる3つの条件で段階的に行う。さらに、p型不純物の2フッ化ホウ素(BF_2)を、例えば加速エネルギー 70keV 、ドーズ量 $2\times 10^{12}/\text{cm}^2$ の条件でイオン打ち込みを行う。

【0086】段階的なリンのイオン打ち込みは、深さ方向のウェル濃度分布を均一にさせ、引き延ばし拡散のための熱処理(高温アニール)を回避するためである。一方、 BF_2 のイオン打ち込みは、pチャネルMISFETのしきい電圧を設定するために実行される。

【0087】次いで、フォトレジストパターン(マスク)PR2を除去した後、図7に示すように、半導体本体1の主面の低耐圧MIS部のNMOS1、高耐圧MIS部のNMOS2が形成される部分そしてメモリセル部に、それぞれpウェル(P-Well)5a, 5b, 5cを形成するためのイオン打ち込みが行われる。

【0088】このイオン打ち込みは、フォトレジストパターンPR3をマスクとして、p型不純物のホウ素を、例えば加速エネルギー 450keV 、ドーズ量 $1\times 10^{13}/\text{cm}^2$ の条件、加速エネルギー 200keV 、ドーズ量 $3\times 10^{12}/\text{cm}^2$ の条件そして加速エネルギー 50keV 、ドーズ量 $1.2\times 10^{12}/\text{cm}^2$ の条件の3つの条件で段階的に行う。段階的なイオン打ち込みは、上記nウェル形成と同様の理由により実行される。

【0089】nウエルおよびpウエル形成のためのイオン打ち込みした後、950℃程度の熱処理（ウエルアニール）でリンとホウ素とを引き伸ばし拡散してウエル形成が完了する。

【0090】（メモリセル部ゲート絶縁膜形成工程）図8に示すように、半導体本体1の主面にフラッシュメモリのためのゲート絶縁膜（トンネル酸化膜）6aをする。

【0091】例えば、半導体本体1の主面をHF（フッ酸）系の洗浄液を用いて洗浄し、各ウエル表面をクリーンにした後、800℃程度のウェット雰囲気での熱酸化により各ウエル表面に厚さ10nm程度のトンネル酸化膜（SiO₂）6を形成する。

【0092】（メモリセル部ゲート電極形成工程）図9は、メモリセルのゲート幅方向を規定するパターン形成を行ったフローティング電極6b構造を示す。このフローティング電極CGは、最終的なフローティング電極パターンを示すものではない。

【0093】まず、トンネル酸化膜6aが形成された半導体本体1主面全体に、抵抗値を低減する不純物（例えばリン）を含む多結晶シリコン層7がCVD（Chemical Vapor Deposition）法により、厚さ70nm程度に形成される。

【0094】続いて、多結晶シリコン層7の表面に層間絶縁膜8としてCVD法によってシリコン酸化膜（SiO₂）を形成する。層間絶縁膜8の膜厚は、トンネル酸化膜の厚さのほぼ5倍程度の厚さ50nmであり、トンネル酸化膜との容量結合比を考慮して決定される。また、層間絶縁膜8は、フラッシュメモリのデバイス特性の向上、特に誘電率を上げるために酸化窒化膜（具体的にはONO積層膜）の適用される。

【0095】続いて、フォトリジストパターンPR4をマスクとして、層間膜8、多結晶シリコン層7そしてトンネル酸化膜6aを、順次、エッチング除去し、高耐圧MIS部および低耐圧MIS部の各ウエル表面を露出する。

【0096】（高耐圧MISゲート絶縁膜形成工程）厚いゲート酸化膜を必要とする高耐圧MISのゲート酸化膜形成が低耐圧MISのゲート酸化膜形成に先行して行われる。

【0097】図10に示すように、半導体本体1主面上に高耐圧MIS部におけるMISFETのためのゲート絶縁膜6bを形成する。

【0098】ゲート絶縁膜6bは、シリコン酸化膜から成り、高耐圧MIS部および低耐圧MIS部における各ウエル4a, 4b, 5a, 5bの表面を熱酸化法によって形成される。ゲート絶縁膜6bの膜厚は15～16nm程度であるが、この膜厚は最終的なゲート絶縁膜の厚さではない。

【0099】（低耐圧MISゲート絶縁膜形成工程）ゲート絶縁膜6bを約950℃、20minアニールした後、図11に示すように、フォトリジストパターンPR5をマスクとして、HF系エッチング液を用いて、ゲート絶縁

膜6bを選択除去し、低耐圧MIS部における各ウエル4a, 5aの表面を露出させる。

【0100】フォトリジストパターンPR5を除去した後、図12に示すように、低耐圧MIS部のMISFETのためのゲート絶縁膜6cを形成する。ゲート絶縁膜6cは、膜厚4.5～5nm程度のシリコン酸化膜より成り、露出したウエル4a, 5a表面を熱酸化することにより形成される。また、高耐圧MIS部のウエル4b, 5b上のゲート絶縁膜6bは、ゲート絶縁膜6c形成時に、高耐圧MIS部のウエル4b, 5b表面が再酸化され、厚さ約18nmの熱酸化膜（サーマルSiO₂膜）で構成される。このような熱酸化膜により十分なゲート耐圧が得られる。

【0101】（メモリセル、高耐圧MIS&低耐圧MISのゲート電極形成工程）図13に示すように、ゲート酸化膜が形成された半導体本体1の主面全体に、ゲート電極のための導体層9を堆積する。導体層9は、多結晶シリコンから成り、CVD法によって形成される。導体層9の膜厚は250nm程度である。続いて、導体層9をエッチングダメージから守るために、導体層9表面に、CVD-SiO₂より成るキャップ層100を形成する。キャップ層の膜厚は50nm程度である。

【0102】続いて、図14に示したように、フォトリジストパターンPR6をマスクとして、低耐圧MIS部と高耐圧MIS部のキャップ層100を除去する。

【0103】続いて、図15に示したフォトリジストパターン（マスク）PR5を除去した後、図16に示したように、半導体本体1主面（低耐圧MIS部、高耐圧MIS部およびメモリセル部）全体に、再度、CVD-SiO₂より成る厚さ50nmのキャップ層を堆積させる。この結果、低耐圧MIS部および高耐圧MIS部の導体層9上のキャップ層100aの厚さは50nmとなり、メモリセル部の導体層9上のキャップ層100bの厚さは100nmとなる。キャップ層の膜厚を異ならせた理由は、以下に述べるゲート電極をパターン加工する工程で詳しく述べる。

【0104】続いて、導体層9を選択除去することによりメモリセル、高耐圧MISおよび低耐圧MISのゲート電極をパターン加工する。

【0105】まず、図16に示したように、フォトリジストパターンPR7をマスクとして、まず、キャップ層100a, 100bを選択除去する。

【0106】続いて、フォトリジストパターン（マスク）PR7を除去した後、図17に示したように、キャップ層100a, 100bをマスクとして、塩素系ガスをを用いて多結晶シリコン層9を選択エッチング（ドライエッチング）し、低耐圧MISおよび高耐圧MISのゲート電極9a, 9b; 9c, 9dが、メモリセルのコントロールゲート電極9eがパターン形成される。このエッチング時に、キャップ層100a, 100bもエッチングされる。図17において、キャップ層100a, 100bのそれぞれの膜厚はほぼ同じ厚さで示しているが、この時点でのキャップ層100aの膜厚は20

nm程度であり、キャップ層100bの膜厚は70nm程度である。

【0107】キャップ層をゲート電極パターン加工のマスクとした理由は以下のとおりである。フォトレジストをマスクに塩素系ガスをを用いたゲート電極パターン加工を行うと、その加工時にフォトレジストの側壁に反応生成物が徐々に被着される。この反応生成物がマスクとなり、ゲート電極のパターン幅は、上部に比べて下部が広がったテーパー状にパターン加工されてしまう。このため、目的としたチャネル長のMISFETが得られない。すなわち、ゲート微細パターン加工が困難となる問題が生じた。この問題解決のために、フォトレジストパターン（マスク）PR7を除去し、キャップ層100a, 100bをマスクとしてゲート電極パターンの加工が行われる。

【0108】続いて、図18に示すように、メモリセル部に開口部を有するフォトレジストパターンPR8をマスクとして、フローティング電極7のパターン加工を行う。

【0109】まず、メモリセル部の層間絶縁膜8をエッチング除去する。このとき、キャップ層100bもエッチングされ、残されたその膜厚は20nmとなる。したがって、マスクPR8で覆われたキャップ層100aと同一もしくは、ほぼ同一の膜厚となる。このため、後で述べるように、キャップ層100a, 100bのエッチングが容易になる。キャップ層100bの膜厚をキャップ層100aの膜厚よりも大きくした理由は、この段階でキャップ層100a, 100bの膜厚を揃えるためである。

【0110】続いて、コントロールゲート電極9eに規定されるようにフローティング電極7を選択エッチングを行う。この結果、図18に示すように、ゲート長方向において、コントロールゲート電極9eと一致したフローティング電極7のパターンが形成される。

【0111】(NMOSのLDD部形成工程) フォトレジストパターン（マスク）PR8を除去した後、図19に示すように、低耐圧MIS部と高耐圧MIS部のNMOS形成領域およびメモリセル部に低不純物濃度の半導体領域（LDD部10s, 10d; 11s, 11d; 12d, 12s）を形成する。

【0112】まず、低耐圧MIS部と高耐圧MIS部のNMOS形成領域およびメモリセル部に開口部を有するフォトレジストパターン（マスク）PR9を半導体本体1上に形成する。

【0113】続いて、n型不純物として砒素（As）を、ゲート電極9bによって規定されるようにpウェル5a内に、ゲート電極9dによって規定されるようにpウェル5b内に、そしてゲート電極9eによって規定されるようにpウェル5c内に、それぞれイオン打ち込みにより導入する。イオン打ち込みは、加速エネルギー20keV、ドーズ量 1×10^{14} atoms/cm²程度の条件で行われる。

【0114】(PMOSのLDD部形成工程) フォトレジストパターン（マスク）PR9を除去した後、図20に

示すように、低耐圧MIS部と高耐圧MIS部のPMOS形成領域に低不純物濃度の半導体領域（LDD部13s, 13d; 14s, 14d）を形成する。

【0115】まず、低耐圧MIS部と高耐圧MIS部のPMOS形成領域に開口部を有するフォトレジストパターン（マスク）PR9を形成する。そして、n型不純物、としてボロン（B）を、ゲート電極9aによって規定されるようにnウェル4a内に、ゲート電極9cによって規定されるようにnウェル4b内に、それぞれイオン打ち込みにより導入する。このイオン打ち込みは、例えば加速エネルギー10~20keV、ドーズ量 1×10^{14} atoms/cm²程度の条件で行われる。そして、この時のイオン打ち込みにより、ゲート電極9a, 9cのそれぞれにもボロンが導入される。

【0116】続いて、アニール処理による不純物の引き延ばし拡散を行い、NMOSおよびPMOSそれぞれの低不純物濃度の半導体領域（LDD部）を形成する。

【0117】(絶縁膜形成工程) フォトレジストパターン（マスク）PR10を除去した後、図21に示すように、LDD部が形成された低耐圧MIS部、高耐圧MIS部およびメモリセル部主面上にそれぞれのMISFETにおける高不純物濃度領域を規定するためのマスクとなる絶縁膜15を形成する。絶縁膜15は、プラズマ処理によって形成された窒化シリコン膜より成る。この絶縁膜15は、窒化シリコン膜に制限されるものではなく、CVDSiO₂膜であってもよい。そして、その膜厚は100nm程度である。

【0118】(NMOS高濃度領域形成工程) 図22に示すように、フォトレジストパターンPR11をマスク（以下、第1のマスクと言う）として、窒化シリコン膜15を異方性エッチング加工により選択除去する。

【0119】第1のマスクPR11の開口部は、低耐圧MIS部のNMOS形成領域では、その開口端部が素子分離領域2上に位置して、余裕度を持った開口パターンで構成されている。一方、高耐圧MIS部のNMOS形成領域では、図3に示したオフセット構造の高耐圧MIS（NMOS2）を得るために、第1のマスクPR11の開口端部は素子分離領域2およびゲート電極9d端部よりオフセットされている。

【0120】この第1のマスクPR11を用いて窒化シリコン膜15に対し異方性エッチングを行う。この結果、ゲート電極9b, 9e上部は除去され、そのゲート電極9b, 9eの側壁にサイドウォール膜15a, 15b（第1の絶縁膜）が残る。一方、ゲート電極9dの側壁には第1のマスクPR11によって窒化シリコン膜15が選択エッチングされ、窒化シリコン膜15c（第2の絶縁膜）がパターン形成される。

【0121】続いて、図23に示すように、この窒化シリコン膜15a, 15b（第1の絶縁膜）と窒化シリコン膜15c（第2の絶縁膜）によって規定されるようにpウェル5a, 5b, 5c内にそれぞれn型不純物、例えばヒ素（As）をイオン打ち込みにより導入する。このイオン打ち込みは、例

例えば加速エネルギー60keV、ドーズ量 3×10^{15} atoms/cm²の条件で行われる。そして、このイオン打込みにより、ゲート電極9b, 9eのそれぞれにも不純物が導入される。すなわち、nゲート（n導電型ゲート電極）NMO Sが得られる。

【0122】（PMOS高濃度領域形成工程）第1のマスクPR11を除去した後、図24に示すように、フォトレジストパターンPR12をマスク（以下、第2のマスクと言う）として、窒化シリコン膜15を異方性エッチング加工により選択除去する。

【0123】第2のマスクPR12の開口部は、低耐圧MIS部のPMOS形成領域では、その開口端部が素子分離領域2上に位置して、余裕度を持った開口パターンで構成されている。一方、高耐圧MIS部のPMOS形成領域では、図3に示したオフセット構造の高耐圧MIS（NMOS2）と同様な構造を得るために、第2のマスクPR12の開口端部は素子分離領域2およびゲート電極9a端部よりオフセットされている。

【0124】第2のマスクPR12を用いて窒化シリコン膜15に対し異方性エッチングを行うことにより、ゲート電極9a上部は除去され、そのゲート電極9aの側壁にサイドウォール膜15d（第3の絶縁膜）が残る。一方、ゲート電極9cの側壁には第2のマスクPR11（マスクパターン）によって窒化シリコン膜15が選択エッチングされ、窒化シリコン膜15e（第4の絶縁膜）がパターン形成される。

【0125】続いて、図25に示すように、この窒化シリコン膜15d（第3の絶縁膜）と窒化シリコン膜15e（第4の絶縁膜）によって規定されるようにnウエル4a, 4b内にそれぞれp型不純物、例えばボロン（B）をイオン打込みにより導入する。このイオン打込みは、例えば加速エネルギー10keV、ドーズ量 3×10^{15} /cm²の条件で行われる。そして、このイオン打込みにより、ゲート電極9aにも不純物が導入される。すなわち、pゲート（p導電型ゲート電極）PMOSが得られる。

【0126】（シリサイド層形成工程）図26に示すように、金属・半導体反応層21s, 21d, 21gを形成する。

【0127】続いて、低抵抗化のためのシリサイドーションに適した金属（高融点金属）を半導体本体1主面上に堆積する。この金属としてはコバルト（Co）が用いられ、スパッタリングにより厚さ7~10nm程度堆積される。コバルト以外には、チタン（Ti）が選ばれる。しかし、発明者等の検討によれば、チタンに比べコバルトが低抵抗化とともに微細化に適していることが明らかとなった。すなわち、コバルトの場合、細線効果がチタンに比べて少ないからである。この細線効果とは、ゲート加工寸法、あるいは配線加工寸法を小さくすると、逆に抵抗が大きくなることをいう。

【0128】コバルトを堆積した後、窒素雰囲気中で500℃、1分程度のアニール処理を行う。この処理によ

りゲート電極（9a, 9b, 9e）表面および高濃度領域（19s, 19d; 16s, 16d, 20s, 20d; 17s, 17d; 18s, 18d）のそれぞれの表面はシリサイドーションがなされる。そして、窒化シリコン15および素子分離領域2上の未反応のコバルトをエッチングにより除去した後、再度、窒素雰囲気中で700℃、1分程度のアニール処理を行う。この結果、コバルトシリサイド（CoSi₂）より成る金属・半導体反応層が形成される。コバルトシリサイド層21s, 21d, 21gは、露出する半導体（ゲート電極および高濃度領域）表面のみに自己整合形成される。すなわち、低耐圧MIS部にはサイドウォール（第1、第3の絶縁膜）15a, 15dによって整合された高濃度領域にシリサイド層（コバルトシリサイド層21s, 21d, 21g）が形成される。また、高耐圧MIS部にはマスクパターン形成の絶縁膜（第2、第4の絶縁膜）15c, 15eによって整合された高濃度領域にシリサイド層（コバルトシリサイド層21s, 21d, 21g）が形成される。つまり、シリサイド層は低濃度領域（LDD部）には形成されることなく、高濃度領域（配線コンタクト領域）表面全体に形成される。

【0129】なお、図26において、nウエル4aとpウエル5aとの境界部に位置する素子分離領域2上に、窒化シリコン膜15xがエッチング残りとして存在する。これは第1のマスクと第2のマスクとを互いに合わせずれを起こさせ、常にフィールド上に0.5μm程度の幅でその窒化シリコン膜15xが残るように2回のレジスト境界を充分重ねてレイアウトする。この手段により、境界部のその窒化シリコン膜15xが細い筋状になり剥がれることを防ぐためである

（コンタクト形成工程）図27に示すように、層間絶縁膜22を形成した後、コンタクト孔THを形成する。

【0130】まず、シリサイドーションが完了した半導体本体1主面上に層間絶縁膜として、CVD法で酸化シリコン膜22を堆積し、次いでCMP法を用いてこの酸化シリコン膜22の表面を平坦化する。酸化シリコン膜22の膜厚は、CMP法による平坦化を考慮して、適宜、設定される。

【0131】続いて、高濃度領域表面に形成されたシリサイド層（コバルトシリサイド層21s, 21d）表面を露出するコンタクト孔THを形成する。このコンタクト孔THの形成は、フォトレジストパターンをマスクとした周知技術の方法により行われる。

【0132】（第1層目配線形成工程）図28に示すように、第1層目の配線M1をパターン形成する。

【0133】まず、コンタクト孔THを埋め込むようにプラグP1を形成する。このプラグP1はタングステンプラグより成り、以下の順序で形成される。

【0134】タングステンと下地シリサイド層との反応を防ぐための反応防止膜として、窒化チタン（TiN）をスパッタリングにより薄く堆積する。続いて、この窒化チタン膜上にタングステン（W）をコンタクト孔を埋め

込むように堆積する。Wによりコンタクト孔THを完全に埋め込むために、Wの膜厚はコンタクト孔径の1/2以上必要とされる。この後、堆積したタングステン (W) および窒化チタン (TiN) 全体をエッチングする方法 (エッチバック) により、プラグP1をコンタクト孔内のみに残す。

【0135】次に、金属層をスパッタ法により堆積し、フォトレジストパターンをマスクとした周知のホトリソグラフィ技術により、第1層目の配線としてパターン形成する。第1層目配線は、TiN/Ti/AlCu/Ti (最上層/上層/主配線層/下層) で構成される。すなわち、第1層目配線は、下から順にSiO₂膜 (層間絶縁膜) との接着性およびWプラグとの接触抵抗を低減するためのTi (厚さ: 10nm)、Alを主要配線材料としたAl-0.5%Cu (厚さ: 500nm)、AlCuとTiNとの間の接着性を良好にするためのTi (厚さ: 10nm) そして反射防止膜としてのTiN (厚さ: 75nm) を順にスパッタ法で形成した積層配線より成る。反射防止膜 (TiN) はホトレジストの露光時に金属層からの反射光により過剰にホトレジストが露光されるのを防止するための膜である。

【0136】(第2層目配線形成工程) 図29に示すように、層間絶縁膜23上にプラグP2を介して第1層目の配線M1に接続される第2層目の配線M2をパターン形成する。

【0137】まず、図27に示した層間絶縁膜22の形成と同様に、CVD法で酸化シリコン膜23を堆積し、次いでCMP法を用いてこの酸化シリコン膜23の表面を平坦化する。

【0138】続いて、酸化シリコン膜23のコンタクト孔を形成し、そして図28に示した第1層目の配線形成工程と同様の材料および形成順序により第2層目の配線M2をパターン形成する。

【0139】(第3層目配線形成工程) 図30に示すように、層間絶縁膜24上にプラグP3を介して第2層目の配線M2に接続される第3層目の配線M3をパターン形成する。

【0140】第3層目の配線M3は、第2層目配線形成工程と同様の順序により形成される。

【0141】(第4層目配線形成工程) 図31に示すように、層間絶縁膜25上にプラグP4を介して第3層目の配線M2に接続される第4層目の配線M4をパターン形成する。

【0142】本実施の形態では第4層目の配線M4が最上層になる。しかし、配線M4は、第2層目配線形成工程と同様の順序により形成される。

【0143】(パッシベーション膜形成工程) 図31に示すように、配線M4の一部 (ボンディングパッド部) を露出するように、パッシベーション膜26、27を形成する。

【0144】下層のパッシベーション膜26は、窒化シリ

コン (TiN) / シリコン酸化膜 (SiO₂) の積層より成る無機絶縁膜からなる。すなわち、パッシベーション膜26は、珪酸エチルを原料としたテトラ・エチル・オルソ・シリケート (Tetra-Ethyl-Ortho-Silicate) 膜 (厚さ: 800nm) と窒化シリコン膜 (厚さ: 1.3μm (シロマトル)) とが、プラズマ法により順次形成された積層膜で構成されている。

【0145】パッシベーション膜27はポリイミド系樹脂膜からなり、エポキシ系封止樹脂体に対するバフファ膜として形成される。パッシベーション膜26、27に設けられた開口は、第4層目の配線M4のボンディングパッド部を露出し、その露出表面はボンダビリティ向上のために主配線 (AlCu) より成る。

【0146】上述したパッシベーション膜形成工程までのプロセスは、前工程プロセスと呼ばれ、半導体本体が円盤状の半導体ウエハの状態で行われる。しかる後、後工程プロセスとして、以下の工程が行われる。

【0147】半導体ウエハは複数のICペレットを構成する。したがって、半導体ウエハをICペレットに分割するために、まず、ICペレットに適した厚さに半導体ウエハを裏面研削する。そして、半導体ウエハをダイシングすることによりICペレットに分割する。続いて、ICペレットを公知のリードフレームに結合 (ボンディング) する。続いて、リードフレームの外周リードとICペレットの主面に設けられているボンディングパッド (上記配線M4から成るボンディングパッド部) とをワイヤで電氣的接続する。ワイヤはAlワイヤもしくはAuワイヤから成る。続いて、ICペレット、ワイヤおよびリードフレームの一部をエポキシ系樹脂により封止する。そして、リードフレームの外枠を切断することにより、図54に示すようなフラッシュメモリ内蔵システムLSIを構成する樹脂封止型半導体集積回路装置が完成する。図54に示した樹脂封止型半導体装置は面実装型パッケージと称されるものである。この面実装型パッケージは、中央にICペレット100が配置され、システムLSIを構成するICペレット100に設けられたボンディングパッドとインナーリード103との間にワイヤ101が電氣的に接続されている。そして、ICペレット100、ワイヤ101およびインナーリード103が樹脂封止体104により封止されている。樹脂封止体104の四辺から導出したリード102はアウトリードと称され、ガルウイング構造を成す。図は斜視図のため樹脂封止体二辺から導出したリードを示す。

【0148】本実施の形態1によれば、低耐圧MISおよび高耐圧MISのいずれの高濃度領域表面全体にシリサイド層が形成されているため、その高濃度領域の表面全体を低抵抗化できる。このため、高速化が図れたフラッシュメモリ内蔵システムLSIが得られる。

【0149】本実施の形態1のように一つの半導体本体に互いにデバイス特性の異なるMISFETを得る場

合、すなわち低耐圧MIS (PMOS1、NMOS2) と高耐圧MIS (PMOS2、NMOS2) を得る場合において、いずれのMISFETの高濃度領域とシリサイド層とが整合されて形成されるため、マスク枚数を低減でき、低コスト、高歩留りのフラッシュメモリ内蔵システムLSIが得られる。

【0150】本実施の形態1によれば、高耐圧MISの高濃度領域とシリサイド層とが整合されて形成されるため、LDD部(オフセット部)にはシリサイド層が形成されない。このため、接合リークやLDD部表面の電流の不良を懸念する必要なく、高速ロジックに適したMISFETを含むフラッシュメモリ内蔵システムLSIが得られる。

【0151】本実施の形態1によれば、pゲートPMOS、nゲートNMOSより成るディアルゲート構造CMISが得られ、微細化でかつ短チャネル効果を抑制した高性能のフラッシュメモリ内蔵システムLSIが得られる。

【0152】本実施の形態1によれば、多層配線形成にCMP法が採用されているため、微細多層配線が実現でき、高集積化されたフラッシュメモリ内蔵システムLSIが得られる。

【0153】本実施の形態1によれば、低耐圧MISのゲート絶縁膜厚は4.5~5nm程度であり、高耐圧MISのゲート絶縁膜厚18nm程度であり、その形成順序は“(高耐圧MIS部ゲート絶縁膜形成工程)”続いて、“(低耐圧MIS部ゲート絶縁膜形成工程)”の順に行われ、要求仕様に応じた低耐圧MISが容易に得られ、高性能のフラッシュメモリ内蔵システムLSIが得られる。

【0154】本実施の形態1では、高耐圧MISのゲート電極上を高濃度領域を形成する際にレジストマスクで被覆されているため、そのゲート電極上はシリサイドエッチングされない。一般には高耐圧MISの動作には高速ロジック(例えば1.8V駆動MISFETで構成されたロジック回路)ほどの高速性は要求されないため、問題はない。

【0155】本実施の形態1の素子分離領域は、高集積化に適した浅溝分離(Shallow Groove Isolation)技術が採用される。特に、浅溝分離技術は、LOCOS(Local Oxidation of Silicon)技術で形成されるバースピーク(Bird's beak)が存在しないため、素子分離領域の占有面積を低減できる。このため、システムLSIの高集積化が図れる。

【0156】<実施の形態2>高耐圧MISのゲート遅延を低減した実施の形態を以下に述べる。

【0157】図32に示すように、上記実施の形態1での“(NMOS高濃度領域形成工程)”で適用された第1のマスクPRI1に対し、本実施の形態のマスクPRI1mは、高耐圧MIS部のゲート電極9上にも開口パターンを有する。このマスクPRI1mを用いて、絶縁膜15は選択

的にエッチングされ、第1の絶縁膜15aおよび第2の絶縁膜15cが形成される。この第1、第2の絶縁膜15a、15cが形成された後は上記実施の形態1と同様な方法で高濃度領域16s、16s;17s、17dが形成される。

【0158】続いて、図33に示すように、上記実施の形態1での“(PMOS高濃度領域形成工程)”で適用された第1のマスクPRI2に対し、本実施の形態のマスクPRI2mは、高耐圧MIS部のゲート電極9上にも開口パターンを有する。このマスクPRI2mを用いて、絶縁膜15は選択的にエッチングされ、第3の絶縁膜15dおよび第4の絶縁膜15eが形成される。この第3、第4の絶縁膜15d、15eが形成された後は上記実施の形態1と同様な方法で高濃度領域19s、19s;20s、20dが形成される。

【0159】続いて、図34に示すように、上記実施の形態1と同様な“(シリサイド層形成工程)”が行われる。

【0160】したがって、高耐圧MIS部のPMOS2、NMOS2のそれぞれのゲート電極表面にはシリサイド層21gが形成される。

【0161】本実施の形態2によれば、低耐圧MISおよび高耐圧MISのゲート遅延を低減した次世代(0.18μmプロセス)のフラッシュメモリ内蔵システムLSIの実現に有効な技術である。

【0162】<実施の形態3>図2に示したフラッシュメモリ内蔵システムLSIは、高速ロジック部LOGIC、例えば演算回路部(CPU)にキャッシュメモリが搭載される。本実施の形態は、そのキャッシュメモリセルに関する。キャッシュメモリは内部メモリセルとしてSRAMセルにより構成される。

【0163】図35にSRAMセルの回路図を示す。NMOSQnd1、Qnd2は、メモリセルの駆動用MISFETとして機能している。PMOSQpr1、Qpr2は、負荷用MISFETとして機能している。そして、NMOSQt1、t2は、データ転送のスイッチMISFETとして機能している。ワード線WLはNMOSQt1、t2のゲートに接続されている。また、ビット線BL1、BL2には互いに反転した信号(データ)が伝送される。

【0164】SRAMセルの具体的なレイアウト平面図を図36に示す。同図において、セル上部に、素子分離領域2によって区画されたL型の活性領域が左右対象に配置されている。この両活性領域を横切るX方向に延びるワード線WLが配置され、NMOSQt1、Qt2を構成する。ゲート電極9b1が反転L型の活性領域を横切るY方向に延びて配置され、NMOSQnd1を構成する。ゲート電極9b2がL型の活性領域を横切るようにY方向に延びて配置され、NMOSQnd2を構成する。

【0165】セルの下方に、素子分離領域2によって区画された上下反転U型の活性領域が左右対象に配置されている。ゲート電極9b1と一体化されたゲート電極9a1が前記一方の活性領域を横切るようにY方向に延びて配置

され、PMOS Qpr1を構成する。ゲート電極9b2と一体化されたゲート電極9a2が前記他方の活性領域を横切るようにY方向に延びて配置され、PMOS Qpr2を構成する。

【0166】そして、ゲート電極9a1, 9b1の一部がNMOS Qnd2とNMOS Qt2との共用半導体領域L1に接続されている。また、ゲート電極9a2, 9b2の一部がPMOS Qpr1の半導体領域L2に接続されている。

【0167】上記NMOS Qt1, Qt2, Qnd1, Qnd2は、図1に示した低耐圧MIS、すなわちNMOS1のようにLDD構造およびサリサイド構造を構成している。また、上記PMOS Qpr1, Qpr2は図1に示した低耐圧MIS、すなわちPMOS1のようにLDD構造およびサリサイド構造を構成している。

【0168】このような構成のメモリセルを一単位として、互いに隣り合うメモリセルはX1-X1線、X2-X2線、Y1-Y1線、Y2-Y2線を中心に線対称配置される。

【0169】図から明らかなように、NMOS Qnd1, Qnd2とNMOS Qt1, Qt2はpウエル(P-Well)5a内に形成されている。一方、PMOS Qpr1, Qpr2はnウエル(N-Well)4a内に形成されている。

【0170】pウエル(P-Well)5a形成はマスクP-maskが用いられ、そのマスクにより覆われていない半導体本体主面に選択的に形成される。

【0171】一方、nウエル(N-Well)4a形成はマスクN-maskが用いられ、そのマスクにより覆われていない半導体本体主面に選択的に形成される。

【0172】前記実施の形態1で説明したPMOSのLDD部形成にはマスクP-maskが、NMOSのLDD部形成にはマスクN-maskがそれぞれ用いられる。

【0173】図36において、コンタクト孔BL1-CONT, BL2-CONT, Vcc-CONT, Vss-CONT内には、例えば、図28に示したようにプラグPIが埋め込まれている。そして、図35に示したビット線BL1, BL2は、一対の第2層目配線で構成され、それぞれコンタクト孔BL1-CONT, BL2-CONT内のプラグ上に設けられた第1層目配線(導体)から成るパッド層を介して半導体領域(ソースまたはドレイン領域)に電気的接続され、そしてY方向に延びる。

【0174】電源線Vccは、一対の第2層目配線で構成され、それぞれコンタクト孔Vcc-CONT内のプラグ上に設けられた第1層目配線(導体)から成るパッド層を介して半導体領域(ソースまたはドレイン領域)に電気的に接続され、ビット線と同様にY方向に延びる。

【0175】基準電位(接地)線Vssは、第1層目配線で構成され、コンタクト孔Vss-CONTのプラグを介して半導体領域に電気的に接続され、X方向に延びる。

【0176】図36に示す配線M1aは、第1層目配線で構成され、Qpr1の半導体領域(L2)とQnd1の半導体領域とを電気的接続している。また、配線M1bは、第1層目配線で構成され、Qpr2の半導体領域とQnd2の半導体領

域(L1)とを電気的接続している。

【0177】ところで、図36に示すように、高濃度領域形成工程で適用されるマスクが、マスクP-maskとマスクN-maskとの関係によりマスク重なり部44が存在すると、その重なり部に位置したゲート電極(斜線)上には、図26に示した窒化シリコン膜15Xのように窒化シリコン膜が残る。このため、ゲート電極9a1, 9a2の一部のシリサイドエッチングが阻止され、NMOS Qnd1, PMOS Qpr1を繋ぐゲート電極9a1, 9b1および、NMOS Qnd2, PMOS Qpr2を繋ぐゲート電極9a2, 9b2の抵抗がわずかに高くなる。

【0178】<実施の形態4>図37および図38を参照し、実施の形態4を説明する。本実施の形態は、実施の形態3に比べ、さらに高速動作の対応が可能なキャッシュメモリセルを提供する。すなわち、本実施の形態は上記ゲート電極9a1, 9a2の抵抗を低減するものである。

【0179】図37はマスク配置に工夫がされたSRAMセルのレイアウト平面図を示す。そして、図38はキャッシュメモリ(SRAMセル)の一部を構成するCMOS(PMOS1, NMOS1)と高耐圧MIS部のCMOS(PMOS2, NMOS2)が一つの半導体本体1に形成された半導体集積回路装置の断面図である。図37に示すPNMOS Qnd2とPMOS Qpr2は、図38に示すPMOS1とNMOS1にそれぞれ対応する。すなわち、図38に示すキャッシュメモリ部の断面図は、図37に示すA-A'線の切断断面図である。

【0180】本実施の形態によれば、図37に示すように、マスクP-maskとマスクN-maskとの重なりが回避されている。このようなマスクを用いて高濃度領域形成のための絶縁膜(窒化シリコン膜15)をパターン形成する。したがって、マスクP-maskとマスクN-maskとの境界部46は2度エッチングされることになり、ゲート電極9a1, 9b1およびゲート電極9a2, 9b2表面全体のシリサイドエッチングが可能となる。すなわち、ゲート電極9a1, 9b1およびゲート電極9a2, 9b2表面全体にシリサイド層が形成されるので、それらゲート電極の低抵抗化が図れる。

【0181】なお、境界部46内において、ゲート電極の存在しない部分は素子分離領域の酸化膜が窒化シリコン膜15のエッチングにより削られるため、図38に示すように溝部2gが形成される。しかしながら、この溝部2gは層間絶縁膜(たとえば、実施の形態1における層間絶縁膜22により埋め込まれるため、MISFETの特性、配線形成への影響はない。よって、本実施の形態4によれば、高速動作の対応が可能なキャッシュメモリセルが実現でき、高性能のフラッシュメモリ内蔵システムLSIが得られる。

【0182】<実施の形態5>本実施の形態5では、DRAMと高速動作可能な論理演算回路(高速ロジック回路)と、その周辺回路とを同一半導体チップ内に設けた半導体集積回路装置に適用した場合について説明する。

【0183】図39はDRAMと高速動作可能な論理演算回路（高速ロジック回路）と、その周辺回路とがワンチップ上に搭載されたシステムオンチップ（以下、DRAM内蔵システムLSIと称す。）のブロック図の一例を簡単に示している。

【0184】DRAM内蔵システムLSI（半導体チップ1）は、CMOS素子を基本デバイスとして、DRAMメモリアレイDMAY、センスアンプSA、制御回路CONTから成るDRAM部、高速論理演算を行う高速ロジック回路部LOGIC（例えば、プロセッサCPUやASIC:Application Specific Integration）、そしてバッファ機能の入出制御部I/Oで構成されている。

【0185】高速ロジック回路部LOGICは、キャッシュメモリ（キャッシュSRAM）を内蔵しており、例えば1.8V駆動CMOSで構成される。入出制御部I/Oは3.3V駆動CMOSで構成される。

【0186】次に、図40～図53を参照し、DRAM内蔵システムLSIの形成方法を説明する。

【0187】（ゲート電極形成工程）図40は、半導体本体1主面のDRAMセル部および高速ロジック部にそれぞれゲート電極が形成されたDRAM内蔵システムLSIの製造過程を示す断面図である。本実施の形態5でのウエル形成工程までの基本的なプロセスは、前記実施の形態1と同様であるため省略した。すなわち、図40に示す各ウエル形成順序は前記実施の形態1が参照される。

【0188】図40に示す高速ロジック部のゲート電極9aおよびDRAMセル部のゲート電極9wの形成順序を、同図を参照して、以下に説明する。

【0189】まず、半導体本体1主面全体に、高速ロジック部のCMOSのためのゲート絶縁膜としてシリコン酸化膜（厚さ：4.5nm）を熱酸化により形成する。次に、シリコン酸化膜上に第1の多結晶シリコン層9aをCVD法により堆積する。次に、第1の多結晶シリコン層9aを、ホトリソグラフィ技術によりDRAMセル部はエッチング除去し、高速ロジック部は主面全体に残すようにパターンニングする。DRAMセル部のシリコン酸化膜もエッチング除去され、Pウエル5a表面が露出される。

【0190】続いて、DRAMセル部のPウエル5a表面に、熱酸化によりゲート絶縁膜としてシリコン酸化膜（厚さ：10nm以下、好ましくは8nm）を形成する。この時、高速ロジック部の多結晶シリコン層9a表面も酸化され、層間絶縁膜としてのシリコン酸化膜がその表面に形成される。次に、半導体本体1主面全体に、第2の多結晶シリコン層とその第2の多結晶シリコン層表面に接する金属シリサイド層（例えば、タングステンシリサイド層WSi）との積層構造から成るポリサイド層9wを形成する。さらに、このポリサイド層表面を覆うように、SiNより成るキャップ層（厚さ：60～100nm）を形成する。

【0191】続いて、ポリサイド層をパターンニングし、DRAMセル部のゲート電極（ワード線）9wを形成する。この時、高速ロジック部におけるポリサイド層はエッチングされ、第1の多結晶シリコン層表面に形成されているシリコン酸化膜（層間絶縁膜）はエッチングストップパとして作用する。このため、第1の多結晶シリコン膜はエッチングされない。

【0192】そしてこの後、第1の多結晶シリコン層をパターンニングし、高速ロジック部のゲート電極9a、9bを形成する。

【0193】本実施の形態によれば、DRAMセル部のワード線はポリサイド層により低抵抗化を図っている。そして、高速ロジック部の第1の多結晶シリコン層は、DRAMセル部のポリサイド層よりも先行して堆積される。その理由は、DRAMセル部のゲート絶縁膜形成と同時に第1の多結晶シリコン膜表面に層間絶縁膜（エッチングストップ）を形成し、デバイスプロセスの簡略化を図るためである。したがって、DRAMセル部のワード線（ゲート電極）パターン加工は高速ロジック部のゲート電極パターン加工に先行して行われる。

【0194】（低濃度領域形成工程）続いて、図41に示すように、ゲート電極9w、9a、9bによって自己整合された低濃度領域（LDD部）12s、12d；13s、13d；16s、16dを形成する。NMOSおよびPMOSの低濃度領域形成工程はそれぞれ、前記実施の形態1で説明した方法と同様に、ホトレジストマスク（PR9、PR10）を用いてイオン打ち込みにより達成される。

【0195】（絶縁膜形成工程）図42に示すように、LDD部が形成されたDRAMセル部、高速ロジック部主面上に高濃度領域を規定するための絶縁膜15を形成する。絶縁膜15は、窒化シリコン膜（膜厚：100nm）から成り、公知のプラズマCVD法により形成される。

【0196】（DRAMセル部コンタクト形成）図43に示すように、層間絶縁膜（第1の層間絶縁膜）23を形成した後、フォトリソパターンPR100をマスクとして、層間絶縁膜23にコンタクト孔THを形成する。

【0197】同図において、まず、層間絶縁膜としてCVD法でシリコン酸化（SiO₂）膜23を堆積し、次いでCMP法を用いてSiO₂膜23の表面を平坦化する。SiO₂膜23の膜厚は、CMP法による平坦化を考慮して、適宜、設定される。層間絶縁膜23は、より具体的には珪酸エチルを原料としたテトラ・エチル・オルソ・シリケート（Tetra-Ethyl-Ortho-Silicate）膜から成る。この膜はプラズマCVD法により堆積される。

【0198】また、層間絶縁膜23は、デバイス特性の安定化のため、ホスホシリケートガラス（PSG）とテトラ・エチル・オルソ・シリケート膜とが順次、堆積された積層膜が選択される。

【0199】続いて、LDD部12s、12d表面を露出するコンタクト孔THを形成する。このコンタクト孔THの形成

は、フォトレジストパターンPR100をマスクとした周知のフォトリソグラフィ技術により行われる。コンタクト孔THはゲート電極9w上に位置されて形成された。すなわち、コンタクト孔THの加工寸法は厳密なものではなく、コンタクト孔THの開口幅は、ゲート電極間の幅より大きく形成できる。その理由を以下に説明する。

【0200】まず、層間絶縁膜23がドライエッチング加工される。引き続いて、エッチングガスを変え、窒化シリコン膜15をドライエッチング（異方性エッチング）し、コンタクト孔THを形成する。この時、ポリサイド層9w上にはキャップ層が存在しているため、窒化シリコン膜15のエッチングの際のポリサイド層9wは露出しない。すなわち、ここでの工程では自己整合によるコンタクト孔THの形成がなされる。

【0201】（ビット線形成）図44に示すように、コンタクト孔THに埋め込まれたプラグP1を介してビット線BLを形成する。

【0202】まず、コンタクト孔THを埋め込むように、N型不純物を含んだ多結晶シリコン層（ドーパドポリシリコン）を堆積した後、その多結晶シリコン層全体をエッチングする処理、いわゆるエッチバック処理により、プラグP1を形成する。このプラグP1形成はCMP法の適用も可能である。むしろ、過剰エッチングによるプラグP1の落ち込みをなくするためにCMP法の適用が推奨される。

【0203】続いて、層間絶縁膜23上部にビット線BLを形成する。ビット線BLは、層間絶縁膜23上部にスパッタリング法でTiN膜とW膜とを堆積し、次いでW膜の上部にCVD法で窒化シリコン膜（図示せず）を堆積した後、フォトレジストパターンをマスクにしたエッチングでこれらの膜をパターンニングして形成する。

【0204】（DRAMセル部キャパシタ形成工程）まず、図45に示すように、層間絶縁膜（第2の層間絶縁膜）24としてCVD法でシリコン酸化膜を堆積し、次いでCMP法を用いてこのシリコン酸化膜24の表面を平坦化する。シリコン酸化膜24の膜厚は、CMP法による平坦化を考慮して、適宜、設定される。層間絶縁膜24は、層間絶縁膜23と同様に、珪酸エチルを原料としたテトラ・エチル・オルソ・シリケート（Tetra-Ethyl-Ortho-Silicate）膜から成る。

【0205】続いて、フォトレジストパターンPR101をマスクとして、キャパシタが接続されるプラグP1の表面を露出させるようにエッチングにより層間絶縁膜24に開口24hを設ける。

【0206】続いて、図46に示すように、開口24hの側壁に沿って下部電極（蓄積電極）30を形成する。蓄積電極30は、CVD法またはスパッタリング法でW膜を堆積し、フォトレジストパターンをマスクにしたエッチングでパターンニングすることにより形成する。次に、下部電極30の露出する表面にキャパシタ用絶縁膜（誘電体

膜）31を形成する。

【0207】このキャパシタ用絶縁膜31は、例えば、比較的誘電率の高い酸化タンタル（ Ta_2O_5 ）より成る。酸化タンタル膜31は、厚さ約20nmの非晶質の酸化タンタルをCVD法によって堆積した後、熱酸化処理を施すことにより、その酸化タンタルを結晶化することにより形成される。そして、キャパシタ用絶縁膜上部（プレート）電極31を形成を形成する。この上部（プレート）電極31はスパッタリング法で形成されたTiN膜より成る。

【0208】なお、キャパシタ用絶縁膜に酸化タンタル膜を用いたが、その他の金属酸化膜、たとえば（Ba, Sr）TiO₃膜または（Zr, Ti）O₃膜などの高誘電体膜を用いてもよい。また、上記プレート電極を構成する膜にTiN膜を用いたが、タングステンナイトライド（WN）膜やタングステン（W）膜などから選択された高融点金属膜を用いることができる。さらに、上記プレート電極は不純物を含む多結晶シリコン膜であってもよい。多結晶シリコン膜が適用される場合は、後で述べるシリサイド層形成工程で、その多結晶シリコン膜の表面にもシリサイドーションを行い、プレート電極の低抵抗化を図ることができる。

【0209】（PMOSゲート電極サイドウォールスペーサ形成工程）図47に示すように、フォトレジストパターンPR102をマスクに用いて、層間絶縁膜23, 24（シリコン酸化膜）を選択的にエッチングする。この層間絶縁膜のエッチングは、下地の窒化シリコン膜15をエッチングすることなく、その窒化シリコン膜表面で止まる。

【0210】続いて、図48に示すように、露出した窒化シリコン膜15を反応性イオンエッチング（異方性エッチング）手段によりPMOSゲート電極9aの側壁にサイドウォールスペーサ15dを形成する。

【0211】（PMOS高濃度領域形成工程）続いて、図48に示すように、サイドウォールスペーサ15dによって整合された高濃度領域19s, 19dを形成する。すなわち、サイドウォールスペーサ15dによって規定されるようにnウェル4a内にそれぞれp型不純物、例えばボロン（B）をイオン打込みにより導入する。イオン打込みは、例えば加速エネルギー10keV、ドーズ量 3×10^{15} atoms/cm²程度の条件で行われる。そして、このイオン打込みにより、ゲート電極9aにも不純物が導入され、pゲート（p導電型ゲート電極）PMOSが得られる。

【0212】（NMOSゲート電極サイドウォールスペーサ形成工程）まず、図49に示すように、フォトレジストパターンPR103をマスクとして、層間絶縁膜23, 24（シリコン酸化膜）を選択的にエッチングする。この層間絶縁膜のエッチングは、下地の窒化シリコン膜15をエッチングすることなく、その窒化シリコン膜表面で止まる。

【0213】続いて、図50に示すように、露出した窒化シリコン膜15を反応性イオンエッチング（異方性エッ

チング) 手段により NMOS ゲート電極 9a の側壁にサイドウォールスペーサ 15d を形成する。

【0214】(NMOS 高濃度領域形成工程) 続いて、図 50 に示すように、サイドウォールスペーサ 15d によって規定された高濃度領域 16s, 16d を形成する。

【0215】すなわち、サイドウォールスペーサ 15d によって規定されるように p ウェル内にそれぞれ n 型不純物、例えばヒ素 (As) をイオン打込みにより導入する。イオン打込みは、例えば加速エネルギー 60keV、ドーズ量 3×10^{15} atoms/cm² 程度の条件で行われる。そして、このイオン打込みにより、ゲート電極 9b, 9e のそれぞれにも不純物が導入され、n ゲート (n 導電型ゲート電極) NMOS が得られる。

【0216】(シリサイド層形成工程) 図 51 に示すように、高速ロジック部 (NMOS および PMOS) のゲート電極および高濃度領域表面に金属・半導体反応層 (シリサイド層) を形成する。具体的にはコバルトシリサイド層が前記実施の形態 1 と同様のシリサイドーション技術により形成される。図示していないが、シリサイドーションに先立ってコバルトを堆積する場合、プレート電極 32 表面には、シリコン酸化膜等の絶縁膜で保護される。この結果、NMOS のコバルトシリサイド層は高濃度領域形成のサイドウォールスペーサ 15a によって整合されて形成される。一方、PMOS のコバルトシリサイド層は高濃度領域形成のサイドウォールスペーサ 15a によって整合されて形成される。

【0217】先に述べたように、プレート電極として多結晶シリコン膜が採用されるならば、そのプレート電極表面は絶縁膜による保護は必要としない。この場合、プレート電極 32 の表面にもコバルトが堆積される。そして、上記ゲート電極および高濃度領域表面にコバルトシリサイド層を形成すると同時に、上記プレート電極 32 表面にコバルトシリサイド層を形成することができる。

【0218】(第 1 層目配線形成工程) 図 52 において、まず、シリサイドーションが完了した半導体本体 1 主面上に層間絶縁膜 (第 3 の層間絶縁膜) 28 を堆積する。この層間絶縁膜 28 は、スピン塗布法によって高速ロジック部を埋め込むように塗布されたスピノングラス膜と、このスピノングラス膜上に CVD 法により堆積された酸化シリコン膜とから成る積層膜で構成される。この層間絶縁膜 28 の平坦化のために、化学機械研磨 (CMP) 法やエッチバック法が適用される。

【0219】続いて、高濃度領域表面に形成されたシリサイド層 (コバルトシリサイド層 21d) 表面を露出するコンタクト孔 TH を形成する。このコンタクト孔 TH の形成は、フォトリソパターンをマスクとしたドライエッチング加工により達成される。

【0220】続いて、コンタクト孔 TH を埋め込むようにプラグ P1 を形成する。このプラグ P1 はタングステンプラグより成り、以下の順序で形成される。まず、タングス

テンと下地シリサイド層との反応を防ぐための反応防止膜として、窒化チタン (TiN) をスパッタリングにより薄く堆積する。続いて、この窒化チタン膜上にタングステン (W) をコンタクト孔を埋め込むように堆積する。そして、堆積したタングステン (W) および窒化チタン (TiN) 全体をエッチングする方法 (エッチバック) により、プラグ P1 をコンタクト孔 TH 内に残す。

【0221】続いて、金属層を堆積し、フォトリソパターンをマスクとした周知技術の方法により、第 1 層目配線を形成する。配線となる金属層は、実施の形態 1 と同様に、例えば TiN/Ti/AlCu/TiN (最上層/上層/主配線層/下層) で構成される。すなわち、第 1 層目配線は、下から順に SiO₂ 膜 (層間絶縁膜) との接着性および W プラグとの接触抵抗を低減するための Ti (厚さ: 10nm)、Al を主要配線材料とした Al-0.5%Cu (厚さ: 500nm)、AlCu と TiN との間の接着性を良好にするための Ti (厚さ: 10nm) そして反射防止膜としての TiN (厚さ: 75nm) を順にスパッタ法で形成した積層配線より成る。

【0222】(第 2 層目配線形成工程) 図 52 において、まず、第 1 層目配線を覆うように層間絶縁膜 (第 4 の層間絶縁膜) 29 を堆積する。層間絶縁膜 29 は CVD 法により堆積したシリコン酸化膜 23 から成る。次いで、CMP 法を用いて層間絶縁膜 29 の表面を平坦化する。

【0223】続いて、第 1 層目配線 M1 の一部が露出するように、シリコン酸化膜 29 にコンタクト孔 TH を形成する。そして、金属層を堆積し、フォトリソパターンをマスクとした周知技術の方法により、第 2 層目配線 M2 を形成する。配線となる金属層は、第 1 層目配線と同様に、例えば TiN/Ti/AlCu/TiN (最上層/上層/主配線層/下層) で構成される。図示したように、層間絶縁膜 29 は CMP 法により平坦化されているため、例えば、第 2 層目配線 M2 により、DRAM セル部 (DRAM メモリアレー) 上に延ばし、回路ブロック間の相互接続も可能となる。したがって、半導体チップ内における回路ブロック配置の自由度が増すため、高速動作に適した DRAM 内蔵システム LSI が得られる。なお、回路ブロックとは、図 39 に示した DRAM メモリアレー (DMAY)、入出力制御部 (I/O)、高速ロジック回路部 (LOGIC) 等を言う。

【0224】第 2 層目配線 M2 が最終配線であるならば、実施の形態 1 の”パシベーション膜形成工程”で説明した手段により、第 2 層目配線 M2 はパシベーション膜により保護される。また、必要に応じて、第 2 層目配線 M2 上に層間絶縁膜および配線を順次形成することにより、3 層配線、4 層配線あるいは 5 層配線構造の DRAM 内蔵システム LSI が得られる。

【0225】本実施の形態 5 によれば、高速ロジック部の NMOS、PMOS のいずれの高濃度領域表面全体にシリサイド層が形成されているため、その高濃度領域の表面全体を低抵抗化できる。このため、高速化が図れた DRAM 内蔵システム LSI が得られる。

【0226】また、高速ロジック部のNMOS、PMOSのいずれの高濃度領域とシリサイド層とが整合されて形成されるため、マスク枚数を低減でき、低コスト、高歩留りのDRAM内蔵システムLSIが得られる。

【0227】また、pゲートPMOS、nゲートNMOSより成るディアルゲート構造CMISが得られ、微細化でかつ短チャネル効果を抑制した高性能のDRAM内蔵システムLSIが得られる。

【0228】さらに、DRAMセル部はポリサイドゲート構造で、高速ロジック部はシリサイドゲート構造のCMOSで構成されているため、高速化と低消費電力を同時解決し、高集積化されたDRAM内蔵システムLSIが得られる。

【0229】上記の各実施の形態において、PMOS及びNMOSのゲート絶縁膜は、酸化膜（具体的にはシリコン酸化膜）よりなる単層膜の他に、デバイス特性の向上や信頼性のニーズに応じて、窒化膜（具体的にはシリコンナイトライド）と酸化膜との積層膜、あるいは酸窒化膜（オキシナイトライド）と称した複合膜、そしてさらには窒化膜よりなる単層膜などの選択が可能である。

【0230】＜実施の形態6＞実施の形態1で述べたフラッシュメモリ内蔵システムLSIの製造方法は、以下の変形例が考えられる。本実施の形態6を図20のPMOSのLDD部形成工程に続いて説明する。

【0231】（絶縁膜形成工程）図55に示すように、LDD部が形成された低耐圧MIS部、高耐圧MIS部およびメモリセル部主面上にそれぞれのMISFETにおける高不純物濃度領域を規定するためのマスクとなる絶縁膜15を形成する。絶縁膜15は、プラズマ処理によって形成された窒化シリコン膜より成る。この絶縁膜15は、低圧CVD法（生成温度：約740℃）により形成した、厚さ150nm程度のSiO₂膜からなる。

【0232】（サイドウォール形成工程）図56に示すように、絶縁膜15をエッチバックすることによりサイドウォール15a, 15b, 15c, 15d, 15eを形成する。図から明らかなように、NMOS、PMOSのサイドウォールは同一工程でエッチバックすることにより形成されることになる。絶縁膜15のオーバエッチングにより、キャップ層100a, 100bはほとんど除去されてしまうこともあるが、問題にはならない。

【0233】（絶縁膜形成工程）図57に示すように、サイドウォール15a, 15b, 15c, 15d, 15eが形成された基板主面に、再度、絶縁膜115をデポジションする。この絶縁膜115は、低圧CVD法（生成温度：約740℃）により形成した、厚さ20nm程度のSiO₂膜（シリコン酸化膜）からなる。

【0234】（NMOS高濃度領域形成工程）図58に示すように、フォトレジストパターンPR11をマスク（以下、第1のパターンマスクと言う）として、SiO₂膜115を選択除去する。

【0235】第1のパターンマスクPR11の開口部は、低耐圧MIS部のNMOS形成領域では、その開口端部が素子分離領域2上に位置して、余裕度を持った開口パターンで構成されている。

【0236】一方、高耐圧MIS部のNMOS形成領域では、オフセット構造の高耐圧MISを得るために、第1のパターンマスクPR11の開口端部はゲート電極9d端部よりオフセットされている。

【0237】この第1のパターンマスクPR11を用いてSiO₂膜（シリコン酸化膜）115に対しエッチングを行う。この結果、ゲート電極9b, 9e上部は除去され、そのゲート電極9b, 9eの側壁にサイドウォール膜15a, 15b（第1の絶縁膜）が残る。一方、ゲート電極9dの側壁には第1のパターンマスクPR11によってSiO₂膜115が選択エッチングされ、SiO₂膜115c（第2の絶縁膜）がパターン形成される。

【0238】続いて、SiO₂膜15a, 15b（第1の絶縁膜）とSiO₂膜115c（第2の絶縁膜）によって規定されるようにpウェル5a, 5b, 5c内にそれぞれn型不純物、例えばヒ素（As）をイオン打込みにより導入する。このイオン打込みは、例えば加速エネルギー60keV、ドーズ量 3×10^{15} atoms/cm²の条件で行われる。そして、このイオン打込みにより、ゲート電極9b, 9eのそれぞれにも不純物が導入される。すなわち、nゲート（n導電型ゲート電極）NMOSが得られる。

【0239】（PMOS高濃度領域形成工程）第1のマスクPR11を除去した後、図59に示すように、フォトレジストパターンPR12をマスク（以下、第2のパターンマスクと言う）として、SiO₂膜115を選択除去する。

【0240】第2のマスクPR12の開口部は、低耐圧MIS部のPMOS形成領域では、その開口端部が素子分離領域2上に位置して、余裕度を持った開口パターンで構成されている。一方、高耐圧MIS部のPMOS形成領域では、オフセット構造の高耐圧MIS構造を得るために、第2のパターンマスクPR12の開口端部はゲート電極9a端部よりオフセットされている。

【0241】第2のパターンマスクPR12を用いてSiO₂膜115に対し異方性エッチングを行うことにより、ゲート電極9a上部は除去され、そのゲート電極9aの側壁にサイドウォール膜15d（第3の絶縁膜）が残る。一方、ゲート電極9cの側壁には第2のパターンマスクPR12によってSiO₂膜115が選択エッチングされ、SiO₂膜115e（第4の絶縁膜）がパターン形成される。

【0242】続いて、このSiO₂膜15d（第3の絶縁膜）とSiO₂膜115e（第4の絶縁膜）によって規定されるようにnウェル4a, 4b内にそれぞれp型不純物、例えばボロン（B）をイオン打込みにより導入する。このイオン打込みは、例えば加速エネルギー10keV、ドーズ量 3×10^{15} /cm²の条件で行われる。そして、このイオン打込みにより、ゲート電極9aにも不純物が導入される。すなわち、

pゲート (p 導電型ゲート電極) PMOSが得られる。

【0243】 (シリサイド層形成工程) 図60に示したように、金属・半導体反応層21s, 21d, 21gを形成する。

【0244】 続いて、低抵抗化のためのシリサイドーションに適した金属 (高融点金属) を半導体本体1主面上に堆積する。この金属としてはコバルト (Co) が用いられ、スパッタリングにより厚さ7~10nm程度堆積される。コバルト以外には、チタン (Ti) が選ばれる。

【0245】 コバルトを堆積した後、窒素雰囲気中で500℃、1分程度のアニール処理を行う。この処理によりゲート電極 (9a, 9b, 9e) 表面および高濃度領域 (19s, 19d; 16s, 16d, 20s, 20d; 17s, 17d; 18s, 18d) のそれぞれの表面はシリサイドーションがなされる。そして、窒化シリコン15および素子分離領域2上の未反応のコバルトをエッチングにより除去した後、再度、窒素雰囲気中で700℃、1分程度のアニール処理を行う。この結果、コバルトシリサイド (CoSi₂) より成る金属・半導体反応層が形成される。コバルトシリサイド層21s, 21d, 21gは、露出する半導体 (ゲート電極および高濃度領域) 表面のみに自己整合形成される。すなわち、低耐圧MIS部にはサイドウォール (第1、第3の絶縁膜) 15a, 15dによって整合された高濃度領域にシリサイド層 (コバルトシリサイド層21s, 21d, 21g) が形成される。また、高耐圧MIS部にはマスクパターン形成の絶縁膜 (第2、第4の絶縁膜) 15c, 15eによって整合された高濃度領域にシリサイド層 (コバルトシリサイド層21s, 21d, 21g) が形成される。つまり、シリサイド層は低濃度領域 (LDD部) には形成されることなく、高濃度領域 (配線コンタクト領域) 表面全体に形成される。

【0246】 そして、シリサイド形成工程の後には、前記実施の態様1で述べたコンタクト形成工程 (図27) に続く。

【0247】 本実施の態様6によれば、NMOS、PMOSのサイドウォールは同時にエッチバックすることにより形成されるため、NMOS、PMOSサイドウォール長のずれがなくなる。すなわち、NMOS、PMOSサイドウォール長は等しい。

【0248】 また、本実施の態様6によれば、サイドウォールスペーサはCVD SiO₂膜15、115よりなり、窒化シリコンのサイドウォールスペーサによる電子トラップの影響がなくなる。

【0249】 <実施の態様7> 前記実施の態様6では高耐圧MISのオフセット部はソース及びドレイン領域の両方に形成されたが、そのオフセット部は片側 (特に高耐圧がかかるドレイン側) のみ形成した高耐圧MISでもよい。システムLSIの中には、両方の領域にオフセット部を有する高耐圧MISと、片方の領域にオフセット部を有する高耐圧MISとが共存する。

【0250】 図61に本実施の態様7のドレイン領域にオフセット部を有する高耐圧MISの断面構造を示す。

図はNMOSを示しているが、PMOSも同様な構造が適用される。

【0251】 このような片側オフセット高耐圧MISは、図62に示したパターンマスクPR12により高濃度領域が形成される。

【0252】 以上、本発明の実施の形態を詳しく述べた。これらの実施の形態から導き出される本発明の具体的な特徴事項を以下に列挙する。

【0253】 (1) 実施の形態3で述べたように、本発明はCMOS構成のフリップフロップ型SRAMセルを内蔵する半導体集積回路装置であって、SRAMセルは一对の負荷PMOS、一对の駆動NMOSおよび一对の転送NMOSとで構成され、上記PMOS、一对の駆動NMOSおよび一对の転送NMOSはシリサイド電極構造から成ることを特徴とする。本構成はキャッシュメモリに適した6MOSタイプのSRAMセルである。

【0254】 (2) 前記一对の負荷PMOSのゲート電極は、P型不純物を含む多結晶シリコン層と、該多結晶シリコン層表面に形成された金属シリサイド層とから成り、前記一对の駆動NMOSおよび一对の転送MOSのそれぞれのゲート電極は、N型不純物を含む多結晶シリコン層と、該多結晶シリコン層表面に形成された金属シリサイド層とから成ることを特徴とする。

【0255】 (3) 実施の形態3で述べたように、本発明は半導体基体内に、高耐圧用の第1の絶縁ゲート電界効果型トランジスタと低耐圧用の第2の絶縁ゲート電界効果型トランジスタとが形成された半導体集積回路装置であって、前記第1のトランジスタのゲート電極は、多結晶シリコン層から成り、該多結晶シリコン層表面に絶縁膜が被覆され、前記第1のトランジスタのソース及びドレイン領域それぞれの高濃度領域表面に金属シリサイド層が形成され、前記第2のトランジスタのゲート電極は、多結晶シリコン層から成り、該多結晶シリコン層表面に金属シリサイド層が形成され、かつ前記ゲート電極の側壁には絶縁材料からなるサイドウォール層が形成され、前記第1のトランジスタのソース及びドレイン領域それぞれの高濃度領域表面に金属シリサイド層が前記サイドウォール層により整合形成されていることを特徴とする。

【0256】 (4) 前記金属シリサイド層はコバルトシリサイドより成ることを特徴とする。

【0257】 (5) 実施の形態6で述べたように、前記サイドウォール層はシリコン酸化膜より成ることを特徴とする。

【0258】 (6) 実施の形態1で述べたように、本発明は半導体基体内に、高耐圧用の第1の絶縁ゲート電界効果型トランジスタと低耐圧用の第2の絶縁ゲート電界効果型トランジスタとが形成された半導体集積回路装置であって、前記第1のトランジスタのゲート電極は、多結晶シリコン層から成り、該多結晶シリコン層の上面部

および側面部に絶縁膜が被覆され、前記第1のトランジスタのソース及びドレイン領域それぞれは高濃度領域と低濃度領域とから成り、前記絶縁膜には前記第1のトランジスタのソース及びドレイン領域それぞれの高濃度領域表面上に開口部が設けられ、前記開口部内の前記高濃度領域表面に金属シリサイド層が形成され、前記第2のトランジスタのゲート電極は、多結晶シリコン層から成り、該多結晶シリコン層表面に金属シリサイド層が形成され、かつ前記ゲート電極の側壁には絶縁材料からなるサイドウォール層が形成され、前記第1のトランジスタのソース及びドレイン領域それぞれは高濃度領域と低濃度領域とから成り、前記第1のトランジスタのソース及びドレイン領域それぞれの高濃度領域表面に金属シリサイド層が前記サイドウォール層により整合形成されていることを特徴とする。

【0259】(7) 実施の形態1で述べたように、本発明は、半導体基板に第1導電型チャネルを構成する第1の絶縁ゲート電界効果トランジスタと第2導電型チャネルを構成する第2の絶縁ゲート電界効果トランジスタとを有する半導体集積回路装置の製造方法であって、前記第1のトランジスタのゲート電極に第1のサイドウォール層を形成する工程と、前記第2のトランジスタのゲート電極に第2のサイドウォール層を形成する工程と、前記第1のトランジスタのソースおよびドレイン領域表面に第1のサイドウォール層に整合して金属シリサイド層を形成する工程と、前記第2のトランジスタのソースおよびドレイン領域表面に第2のサイドウォール層に整合して金属シリサイド層を形成する工程と、から成ることを特徴とする。

【0260】(8) 実施の形態1で述べたように、本発明は、第1、第2のサイドウォール層は、それぞれ別工程で形成し、第1のトランジスタのソースおよびドレイン領域表面に第1のサイドウォール層に整合して金属シリサイド層を、前記第2のトランジスタのソースおよびドレイン領域表面に第2のサイドウォール層に整合して金属シリサイド層を同一工程で形成することを特徴とする。

【0261】(9) 実施の形態6で述べたように、本発明は、第1、第2のサイドウォール層は、それぞれ同一工程で形成し、第1のトランジスタのソースおよびドレイン領域表面に第1のサイドウォール層に整合して金属シリサイド層を、前記第2のトランジスタのソースおよびドレイン領域表面に第2のサイドウォール層に整合して金属シリサイド層を同一工程で形成することを特徴とする。

【0262】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0263】(1) 本発明によれば、第1MISFET

の第2領域（高濃度領域）と金属半導体反応層とが第1の絶縁膜に整合され、また第2MISFETの第4領域（高濃度領域）と金属半導体反応層とが第2の絶縁膜にそれぞれ整合されており、また第2、第4領域の電極引き出し部は金属・半導体反応膜により低抵抗化されている。このため、微細化され、高速動作が可能なMISFETを内蔵する半導体集積回路装置が得られる。

【0264】特に、上記第1ゲート電極の側壁に形成された第1の絶縁膜と、上記第2ゲート電極の側壁に形成された第2の絶縁膜とはゲート長方向における幅を異ならせたことにより互いにデバイス特性の異なるMISFETが得られる。具体的には、第2の絶縁膜の幅を上記第1の絶縁膜の幅よりも大きくしたことにより、第2半導体（第2ウェル）と第1領域とで構成されたPN接合端から金属・半導体反応層までの距離が第1半導体（第1ウェル）と第2領域とで構成されたPN接合端から金属・半導体反応層までの距離に比較して大きい。このため、第3領域内での空乏層の延びを充分確保でき、第1MISFETよりも耐圧の高い第2MISFET、すなわち高電圧駆動が可能なMISFETが得られる。

【0265】したがって、微細化され、高速動作が可能で、かつ高電圧駆動が可能なMISFETを内蔵する半導体集積回路装置が得られる。

【0266】(2) 本発明によれば、第2領域とその表面の金属・半導体層とは第1の絶縁膜によって、第4領域とその表面の金属・半導体層とは第2の絶縁膜によってそれぞれ自己整合形成されるため、マスク枚数の低減が図れる。したがって、マスクそのものの製作コストの低減のみならず、マスクを用いたフォトリソパターン形成のためのフォトリソの塗布、感光、現像および洗浄・乾燥の一連の処理を削減することができ、半導体集積回路装置のプロセスコストを大幅に低減できる。また、異物による不良発生率を低減でき、半導体集積回路装置の歩留まりおよび信頼性を向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の断面図である。

【図2】本発明の一実施の形態である半導体集積回路装置に構成された回路ブロック図である。

【図3】本発明の一実施の形態である半導体集積回路装置の要部の平面図である。

【図4】本発明の一実施の形態である半導体集積回路装置の製造工程における要部断面図である。

【図5】図4に続く半導体集積回路装置の製造工程における要部断面図である。

【図6】図5に続く半導体集積回路装置の製造工程における要部断面図である。

【図7】図6に続く半導体集積回路装置の製造工程における要部断面図である。

51

中における要部断面図である。

【図59】図58に続く半導体集積回路装置の製造工程中における要部断面図である。

【図60】図59に続く半導体集積回路装置の製造工程中における要部断面図である。

【図61】本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

【図62】図61に示した半導体集積回路装置の製造工程中における要部断面図である。

【符号の説明】

1・・・半導体本体（基板）

2・・・素子分離領域 3・・・埋込みnウエル 4a, 4b・・・nウエル

5a, 5b, 5c・・・pウエル

52

6a, 6b, 6c・・・ゲート絶縁膜

9a, 9b, 9c, 9d, 9e, 9w・・・ゲート電極

10s, 10d・・・低濃度領域(n-)

11s, 11d・・・低濃度領域(n-)

12s, 12d・・・低濃度領域(n-)

13s, 13d・・・低濃度領域(p-)

14s, 14d・・・低濃度領域(p-)

15a, 15b, 15c, 1d, 15e, 115, 115e・・・絶縁膜（マスク）

16s, 16d・・・高濃度領域(n+)

10 17s, 17d・・・高濃度領域(n+)

18s, 18d・・・高濃度領域(n+)

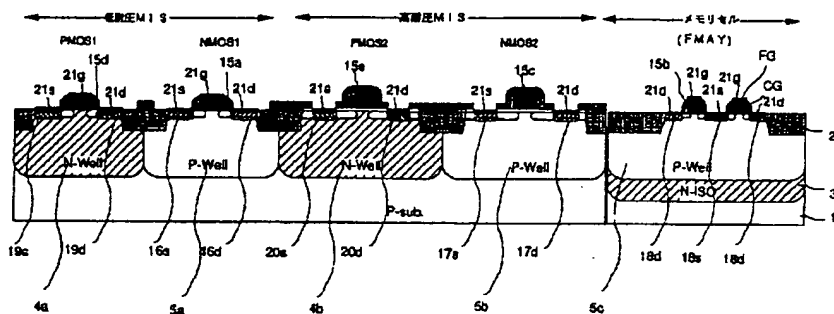
19s, 19d・・・高濃度領域(p+)

20s, 20d・・・高濃度領域(p+)

21, 21s, 21d, 21g・・・シリサイド層。

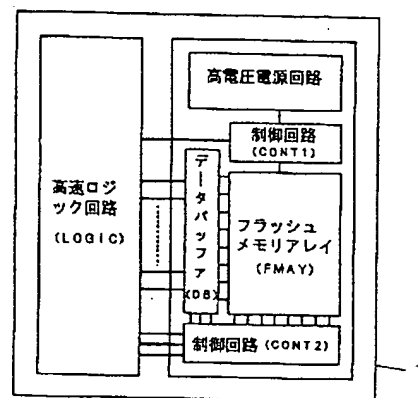
【図1】

図 1



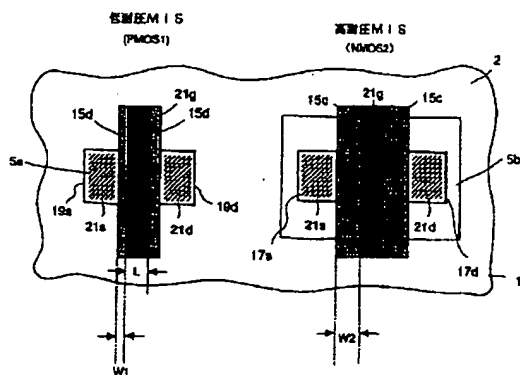
【図2】

図 2



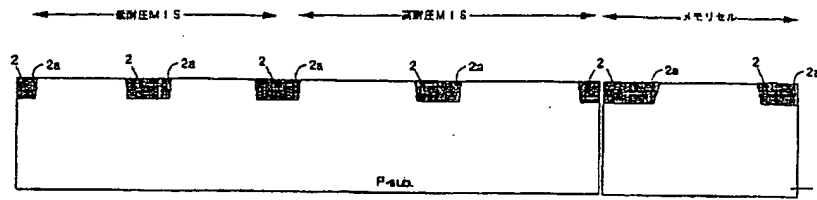
【図3】

図 3



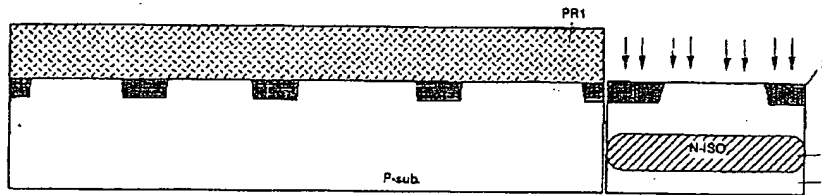
【図4】

図4



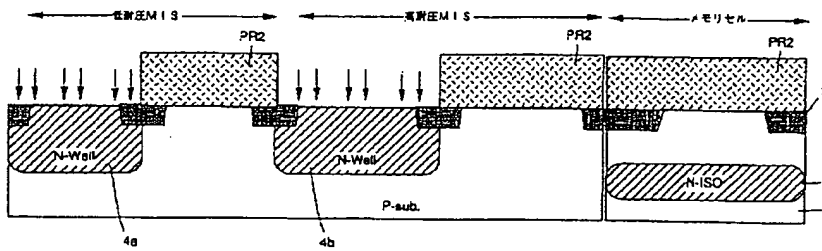
【図5】

図5



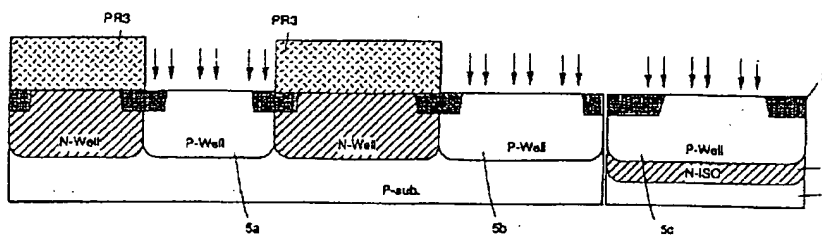
【図6】

図6

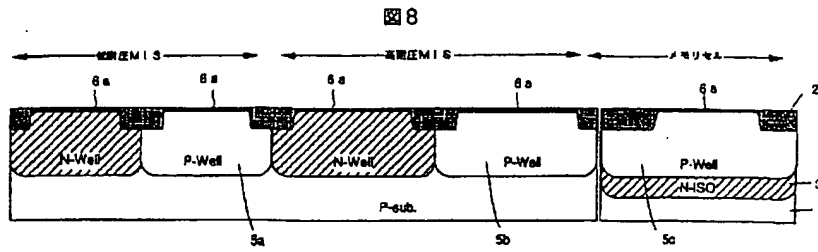


【図7】

図7

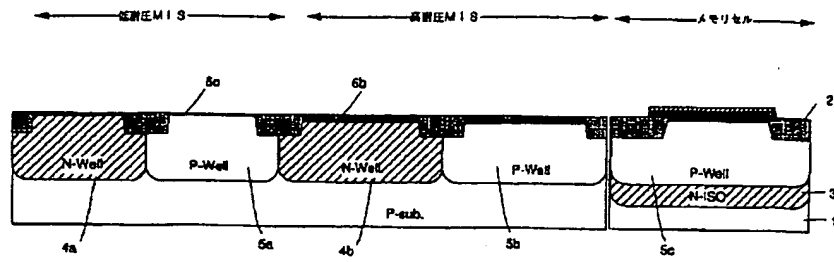


【図8】



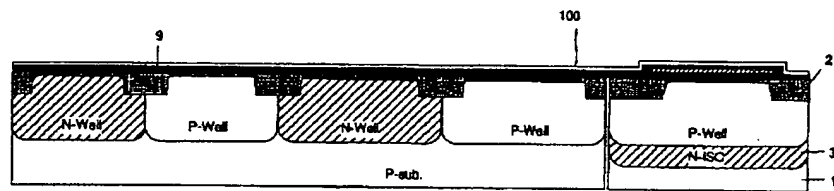
【図12】

図12



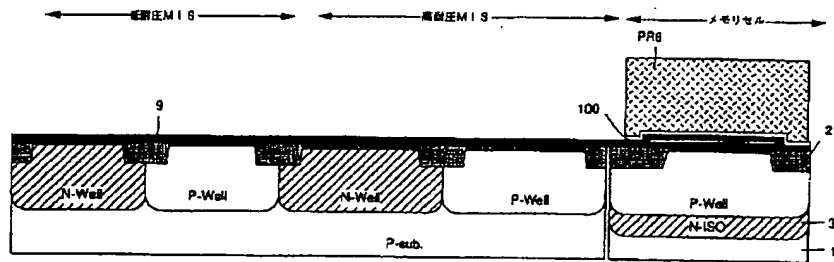
【図13】

図13



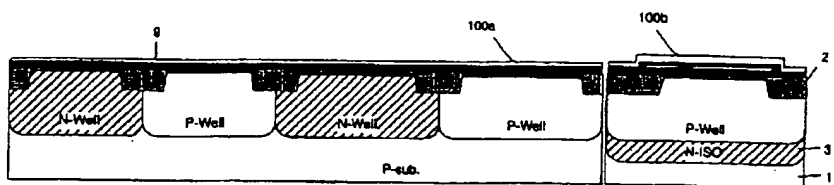
【図14】

図14



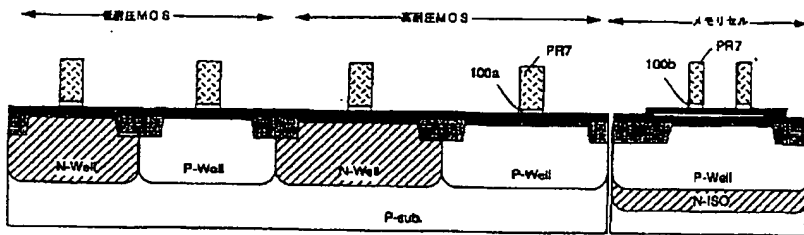
【図15】

図15



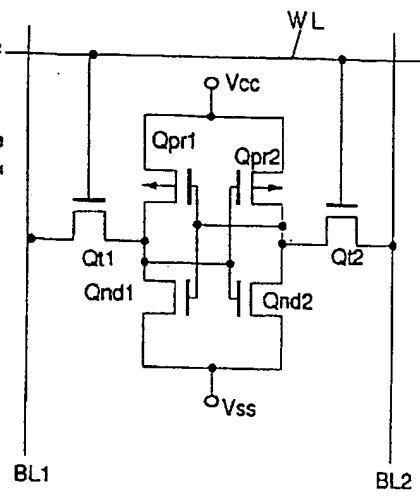
【図16】

図16



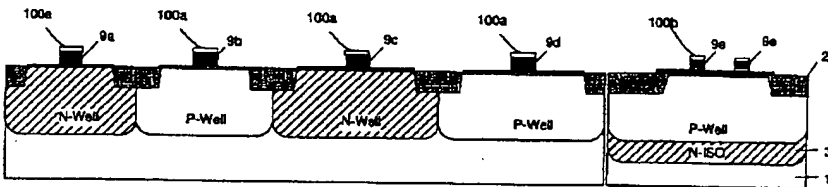
【図35】

図35



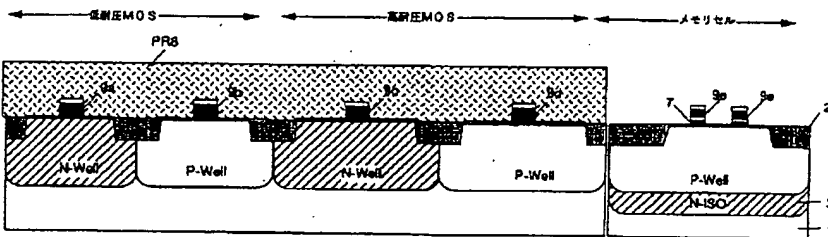
【図17】

図17



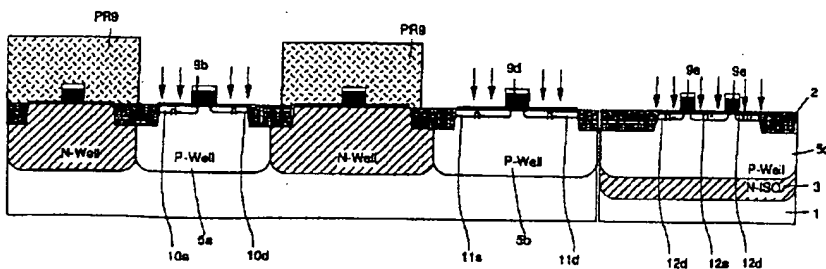
【図18】

図18

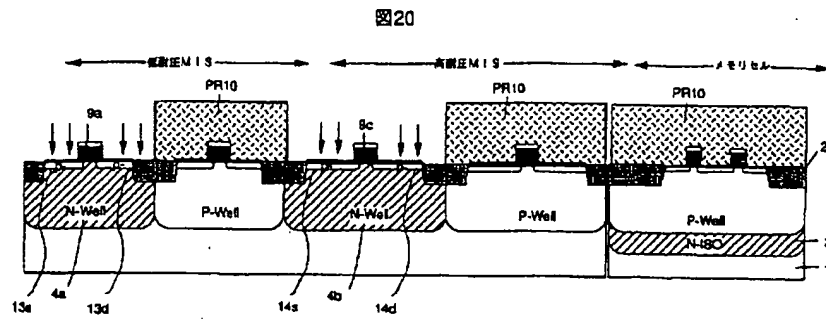


【図19】

図19

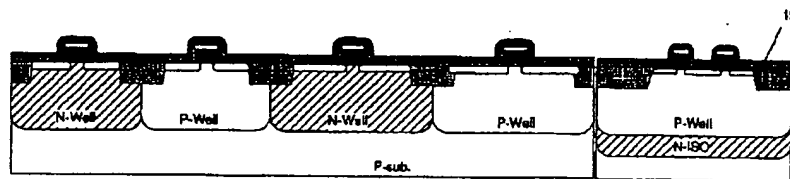


【図20】



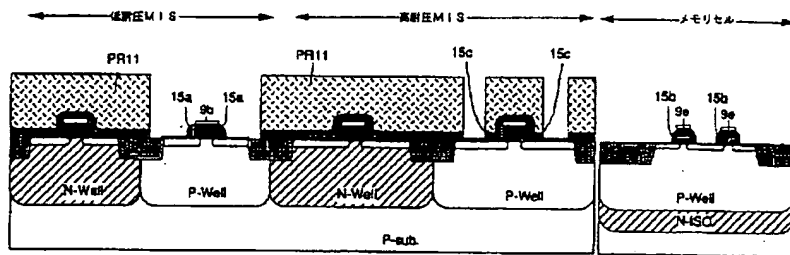
【図21】

図21



【図22】

図22



【図23】

図23

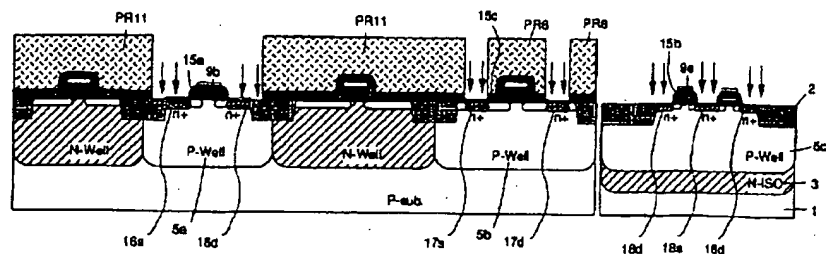
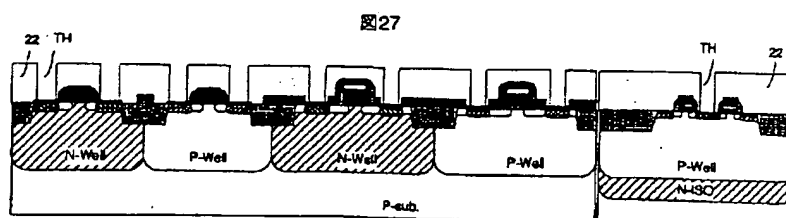
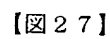
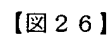
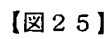
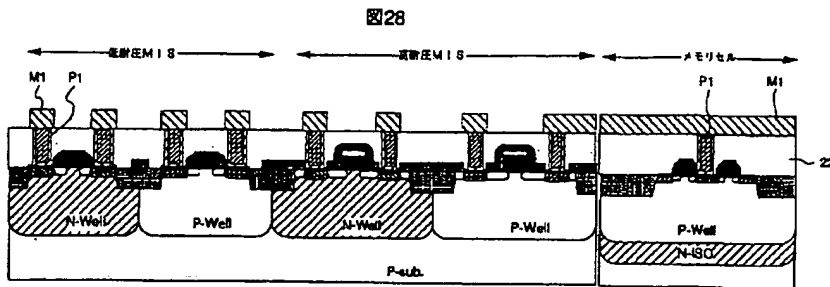


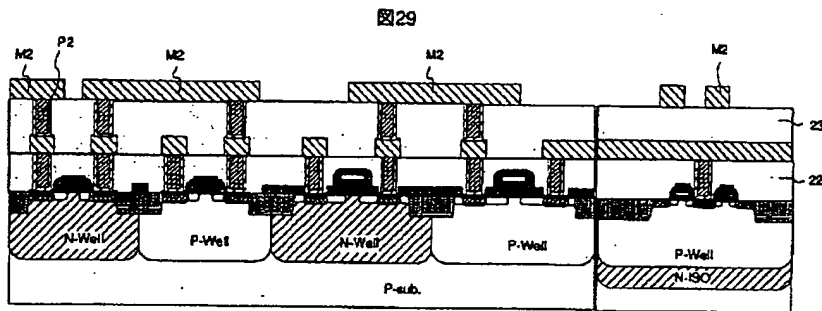
图24



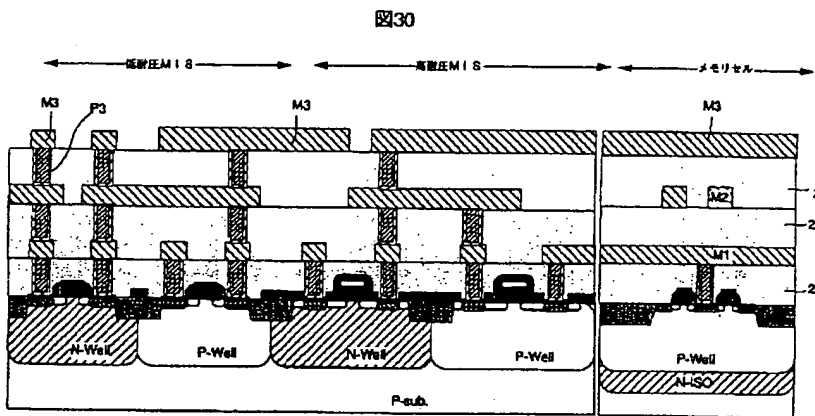
【図 28】



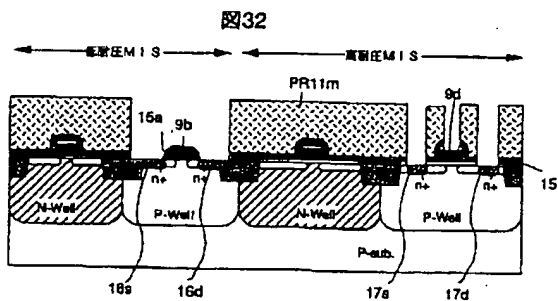
【図 29】



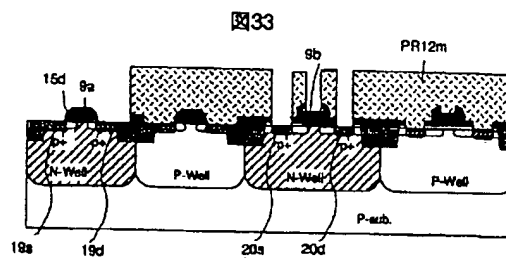
【図 30】



【図 32】

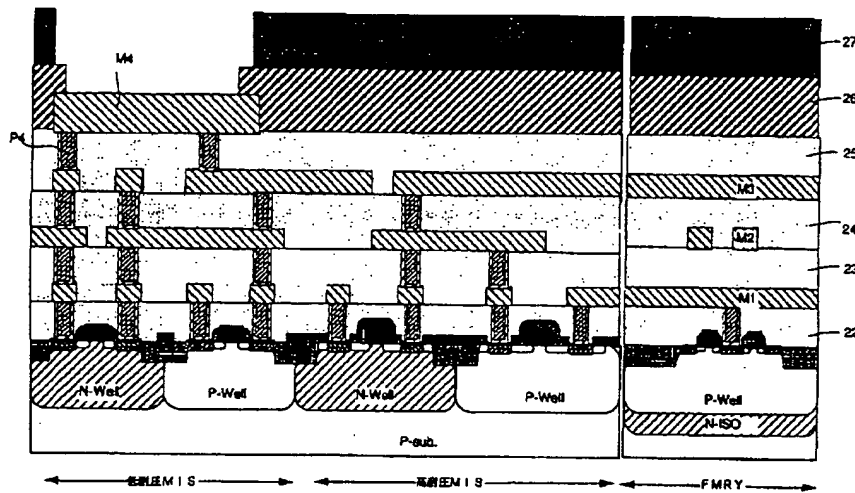


【図 33】



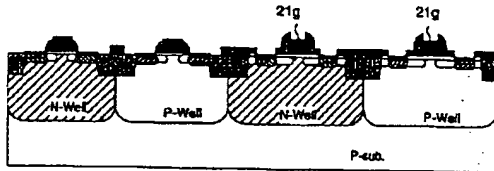
【図31】

図31



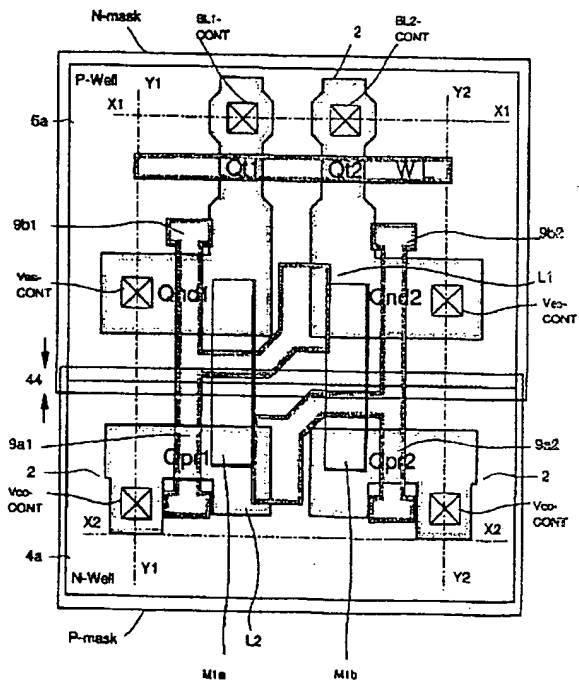
【図34】

図34



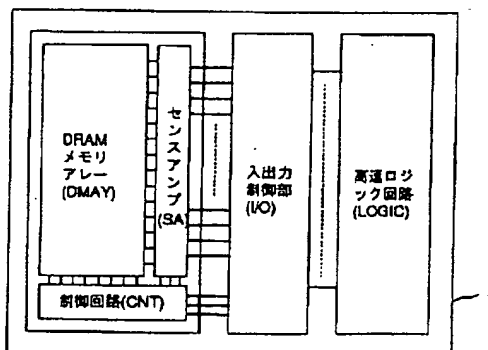
【図36】

図36



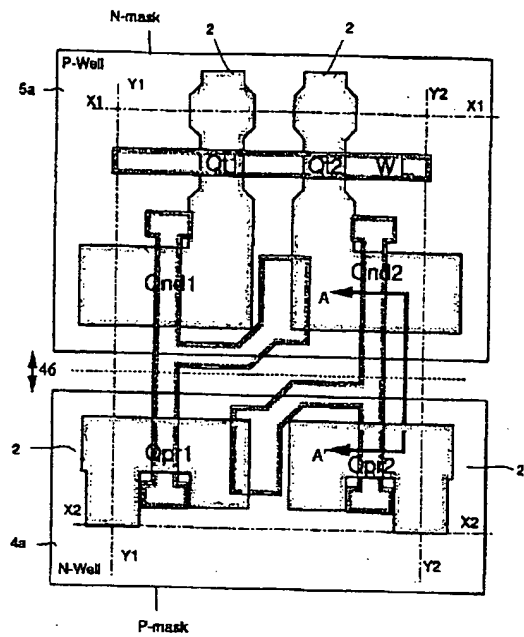
【図39】

図39



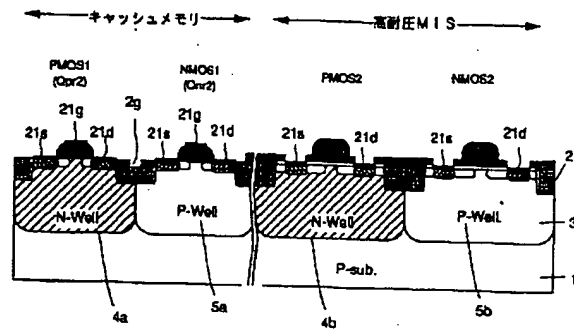
【図37】

図37



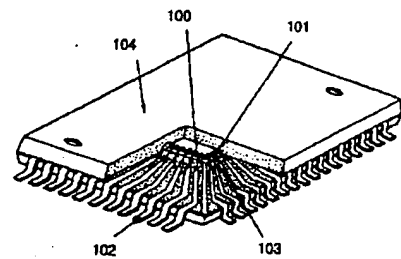
【図38】

図38



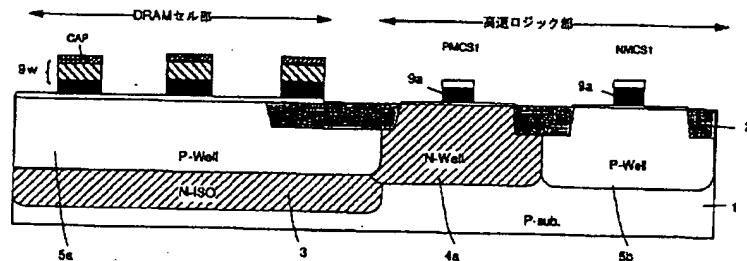
【図54】

図54



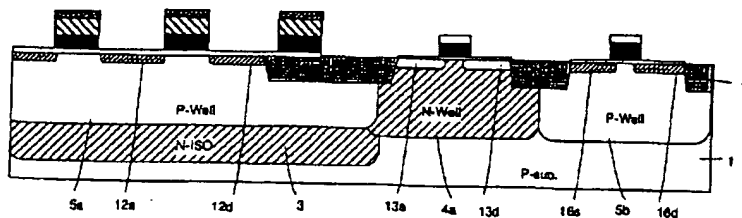
【図40】

図40

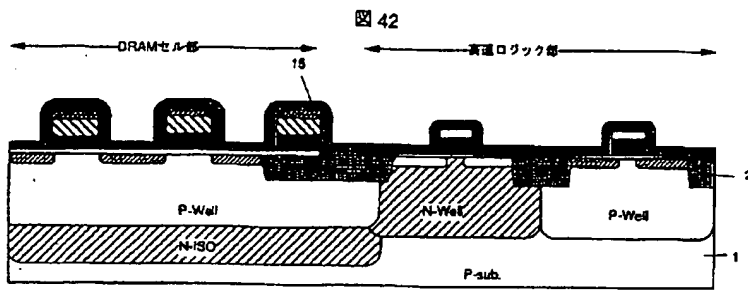


【図41】

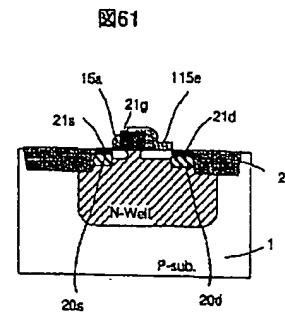
図41



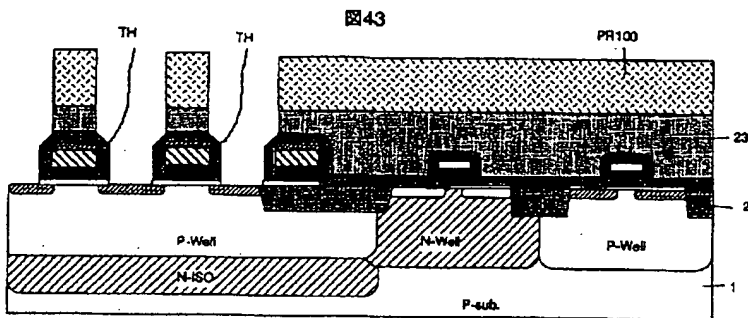
【図 4 2】



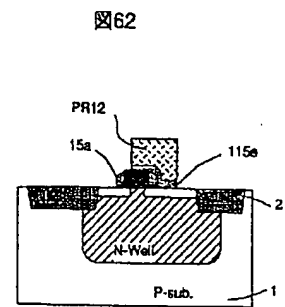
【図 6 1】



【図 4 3】

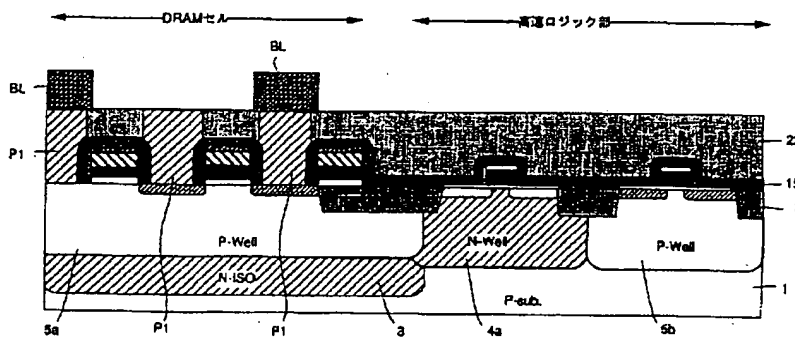


【図 6 2】



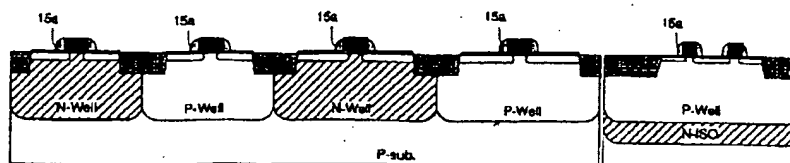
【図 4 4】

図 44



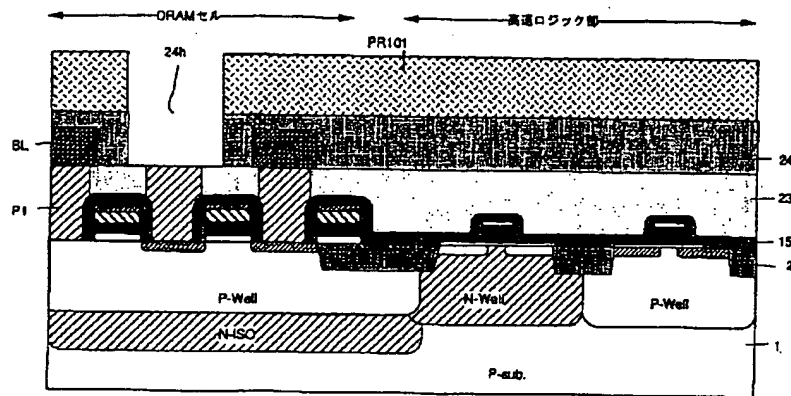
【図 5 6】

図 56



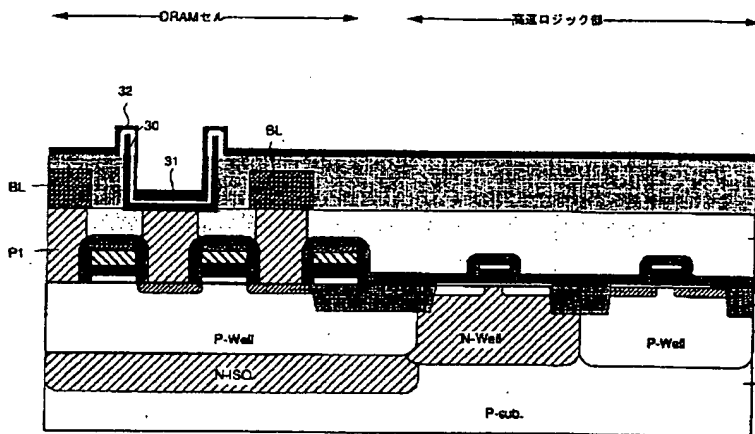
【図45】

図45



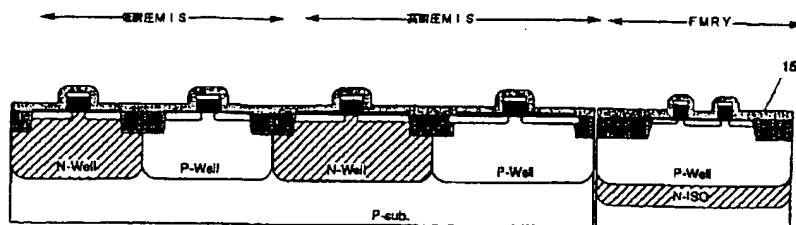
【図46】

図46



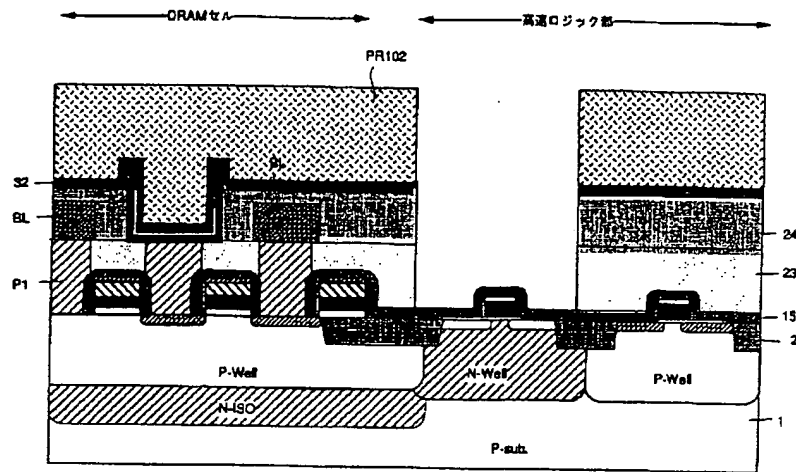
【図55】

図55



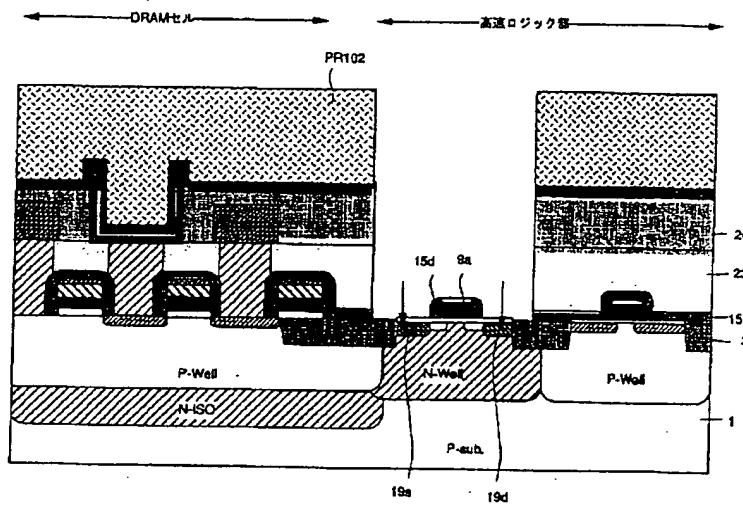
【図 47】

図 47



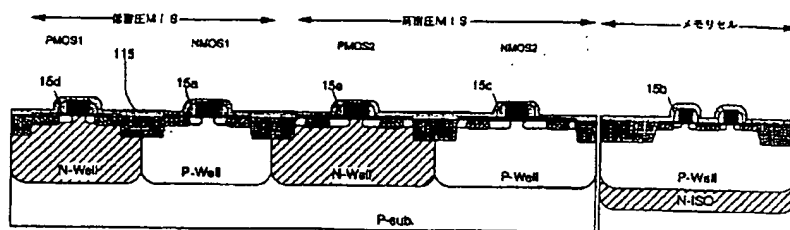
【図 48】

図 48



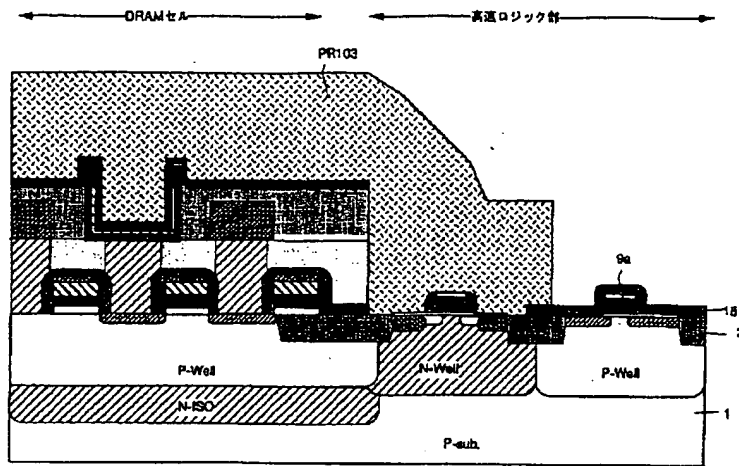
【図 57】

図57



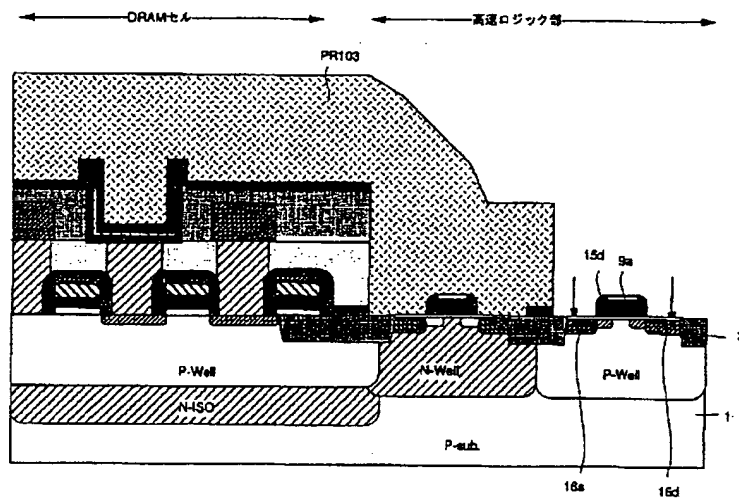
【図 49】

図 49



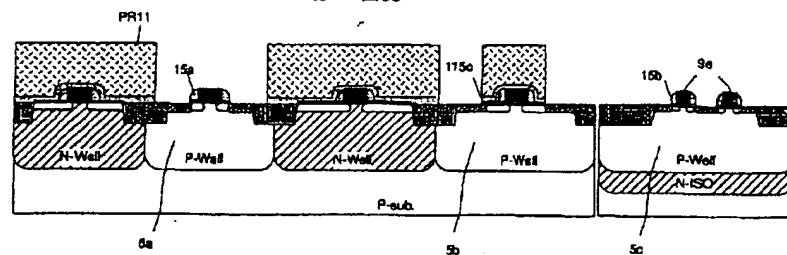
【図 50】

図 50

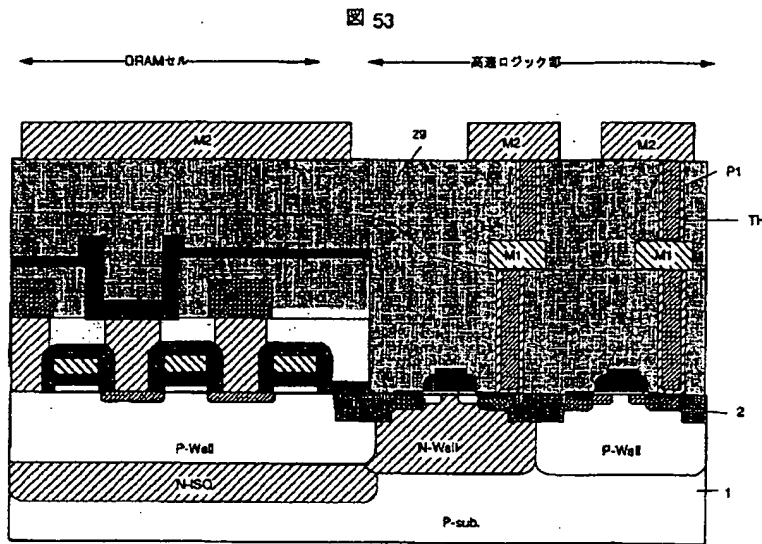


【図 58】

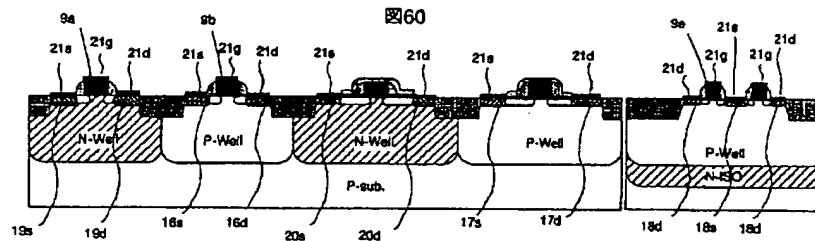
図 58



【図53】



【図60】



フロントページの続き

(72)発明者 黒田 謙一

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業本部内

(72)発明者 池田 修二

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業本部内

(72)発明者 橋本 孝司

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業本部内

Fターム(参考) 5F038 AC05 AC09 AC15 AC18 EZ20

5F083 AD10 AD24 BS11 BS23 BS27

EP23 EP55 EP56 EP63 EP68

ER22 ER23 FR02 GA01 GA05

GA28 HA01 JA04 JA06 JA14

JA15 JA32 JA35 JA36 JA39

JA40 JA53 JA56 LA01 LA03

LA07 LA10 MA03 MA05 MA06

MA16 MA17 MA20 NA01 PR09

PR21 PR29 PR39 PR40 PR43

PR45 PR53 PR55 ZA04 ZA05

ZA07 ZA12